

台湾半導体ファウンドリの技術能力の研究

公益財団法人アジア成長研究所

岸本 千佳司

Working Paper Series Vol. 2015-13

2015年7月

この Working Paper の内容は著者によるものであり、必ずしも当センターの見解を反映したものではない。なお、一部といえども無断で引用、再録されてはならない。

**公益財団法人アジア成長研究所**

# 台湾半導体ファウンドリの技術能力の研究

## ー生産システム構築とプロセス技術開発についてー

岸本 千佳司 (KISHIMOTO Chikashi)

公益財団法人アジア成長研究所 (AGI)

E-mail: kishimoto@agi.or.jp

要約: 本研究の課題は、台湾ファウンドリ企業（主に TSMC、一部 UMC を念頭に置く）の技術能力、具体的には、①柔軟・高効率の生産システムの構築、および②プロセス（関連）技術の開発について、筆者自身の面談記録や『公司年報』のような原資料を活用し、その詳細に踏み込むことである。

既存研究では、1990 年代以降、台湾ファウンドリ（特に TSMC）が先発企業との技術ギャップを急速に埋めていったのは、半導体製造装置の大モジュール化・標準化が進んだことを背景に、こうした歩留まりが高く加工時間が短い最先端装置を積極的に導入したことによるところが多く、しかも、その資金的負担は台湾の投資優遇制度によりかなりの程度軽減されたということが指摘されている。

本研究は、それを重要な要因と認めつつも、その後の台湾ファウンドリ（特に TSMC）の持続的発展については、技術能力構築の独自の取組みがあったことを明らかにする。即ち、プラットフォーム戦略による多品種少量生産への対応、工場の自動化・ICT 管理の活用、その前提の装置・ツール等の標準化推進、日常的な改善、経験・ノウハウの全社的共有の仕組み、研究開発と量産部門の連携による迅速なプロセス量産立ち上げなどである。また、プロセス関連技術でも、先端ロジックの 1~3 年ごとの世代交代実現、システム LSI 向けのロジック以外の特殊プロセス拡充、近年の後工程・実装分野への進出と先端トランジスタ研究の実施などがある。しかもこれらの取組みが、専門ファウンドリというビジネスモデルの要請に沿って、技術的潮流の変化を踏まえつつ高度化する顧客ニーズを満たすために、全体最適化を考慮して進められてきたことを明らかにする。

なお、技術能力の分析に際しては、藤本隆宏教授の「能力構築競争」の枠組みを参考にしそれを簡略化した形で、「表層の優位性」（生産性・品質・コスト管理や技術開発力、オペレーション能力のレベルの高さを反映すると思われる表面に表れた事象）と「優位性の土台」（表層の優位性の背後でそれを支える活動や仕組み、それに影響する事業戦略やビジネスモデル）の 2 層から整理した。

キーワード: 台湾半導体産業、ファウンドリ、技術能力、生産システム、プロセス技術、TSMC、UMC

## 目次

1	はじめに：課題と分析視角	1
2	柔軟かつ高効率な生産システムの構築	8
2.1	多品種少量生産への対応	9
2.2	生産システムの全体最適化とノウハウの共有	12
2.3	品質、生産性、コストへの姿勢	16
2.4	インテグレーション・エンジニアの役割	19
2.5	研究開発部門と量産部門の関係	22
2.6	オペレータの役割の変化	24
3	TSMC のプロセス技術開発	26
3.1	先端プロセス開発	27
(1)	先端 CMOS ロジック・プロセス	27
(2)	リソグラフィ／フォトマスク	31
3.2	特殊プロセス開発	33
(1)	埋め込みメモリ (Embedded Memory)	34
(2)	ミックスド・シグナル／高周波 (Mixed Signal/Radio Frequency : MS/RF)	35
(3)	シリコン・ゲルマニウム・バイポーラ CMOS (Silicon Germanium Bipolar CMOS : SiGe BiCMOS)	37
(4)	パワーIC／BCD (Power IC/Bipolar-CMOS-DMOS : BCD)	38
(5)	液晶パネル・ドライバ (Panel Driver)	38
(6)	CMOS イメージセンサー (CMOS Image Sensor : CMOS IS)	38
(7)	微小電気機械システム (Micro Electro Mechanical Systems : MEMS)	39
3.3	配線／パッケージ開発	39
(1)	配線	40
(2)	パッケージ／3D IC	41
3.4	先進トランジスタ開発	46
4	ディスカッションとまとめ	47
	参考文献	53
	付表 1	59

# 台湾半導体ファウンドリの技術能力の研究 —生産システム構築とプロセス技術開発について—

岸本 千佳司

## 1 はじめに：課題と分析視角

台湾半導体産業は、1990年代以降顕在化した「設計と製造の分業」のトレンドに乗じて、垂直分業体制、とりわけファブレス（設計専門企業）とファウンドリ（ウェハプロセス受託製造企業）の分業・協業モデルを構築し、次第にプレゼンスを高め、世界有数の地位を獲得した。とりわけ専門のファウンドリ・ビジネスは台湾の TSMC（Taiwan Semiconductor Manufacturing Company、台湾積體電路製造）（1987年創業）が世界で初めて打ち出したものであり、同社および台湾ファウンドリ二番手の UMC（United Microelectronics Corporation、聯華電子）を主力とする台湾企業は、全体として世界のファウンドリ市場の約7割のシェア（2013年）を占めるに至っている。専門ファウンドリ（以下、特に必要のない限り単に「ファウンドリ」と記す）は当初、低コストが武器の下請けビジネスと軽く見られていたが、そのリーダー格である TSMC は、近年では Intel、Samsung と並び世界の最大手半導体メーカーの一角を占めている。本研究は、台湾ファウンドリ企業の台頭を支えた技術能力、具体的には、柔軟・高効率の生産システムとプロセス（および関連）技術の開発について、その優位性とそれを背後で支える活動や仕組み、ビジネスモデルに踏み込んで分析することが目的である。

台湾ファウンドリの技術的キャッチアップの経緯については、立本・藤本・富田（2009）が参考になる。同論文の説明を要約するなら、まず、1990年代後半に設備投資の巨額化が生じた。これは、微細化進展に伴い個別工程間の相互依存度が高まり、それに対応して工程間調整を装置メーカー側が相当程度担当する形で複数装置の統合化・大モジュール化が進んだためである。このことが後発組の台湾ファウンドリの台頭に道を拓いた。即ち、従来は個々の小モジュール装置間のインテグレーションを半導体メーカー自身が行う必要があったが、これ以降、大モジュール装置を購入すれば、半導体メーカー側に高度な調整ノウハウがなくとも工程能力を確保できるようになったのである。大モジュール装置を提供するメーカーが成長した背景には、共同研究開発コンソーシアムの「セマテック（SEMATECH）」（1987年設立）<sup>1</sup>による装置間インターフェイスのグローバル標準化の推進があった。大モジュール化した複合装置は高価格であったが、台湾ファウンドリ企業は、台湾税制上の優遇措置の後押しもあり、たとえ高価でも信頼性や生産性で優るこうした装置を積極的に導入し、その操業ノウハウを蓄積していった。他方、

---

<sup>1</sup> SEMATECH（Semiconductor Manufacturing Technology）は、米国半導体工業会や民間半導体メーカー、国防総省などの協力による半導体製造技術の研究開発のためのコンソーシアムである（1987年設立）。その目的は1980年代に凋落しかかった米国半導体産業の競争力回復である。

キャッシュフローが不足していた日本企業は、なまじインテグレーション能力が高かったこともあり、既存装置の延命化で対応し、プロセス・フローの複雑化、生産効率や良品率の低下に繋がり、競争力を落としていく一因となる。

付言すると、立本・藤本・富田（2009）の研究は、半導体産業での工程アーキテクチャの変化という観点からなされている。即ち、プロセス装置の大モジュール化は、「もともとは微細化に起因する工程アーキテクチャのインテグラル化傾向に対する設備面での対応策であったが、結果としては、逆に半導体企業（設備ユーザー）にとっての工程設計のモジュラー化をもたらすことになる」（同,p.233）という。そして、工程間インテグレーション能力が不足していた台湾企業はその技術トレンドに乗り、インテグレーション能力が高かった日本企業はかえってそれに乗り遅れ、この判断の違いが後の事業成長の差となったという説明である。

こうしたトレンドの中で、台湾ファウンドリの代表格である TSMC が採った戦略は、最先端装置の早期大量導入であった。この目的は、顧客にとって魅力ある生産ラインを実現することに加え、なるべく早期に導入することで償却を加速しコスト競争力のある生産ラインを確保すること、そして、最先端プロセスと既存世代プロセスとの間にデザインルール互換性を早期に確立することである。ところで、TSMC が急成長する中、2000 年前後からプロセス微細化がこれ以上進むと、デザインルールを明確に定義することが困難になる可能性が指摘され、ファブレスーファウンドリ分業モデルが行き詰まる事態が危惧されていた。IC の高集積化の更なる進展により設計と製造の分離が困難となり、擦り合せ型アーキテクチャと相性の良い垂直統合型企業（integrated device manufacturer : IDM）に再び有利に働くようになるという予想がなされたのである。これに対して、TSMC は次の 2 つの方法でファウンドリ・ビジネスの持続性確保に向けた努力を逸早く敢行し、現在にまで至る優位性の基盤を築くこととなる。第 1 に、同社は有力装置メーカーと関係を強化し、最先端プロセス装置を積極的・大々的に導入した。装置メーカーは自社の先端技術を装置に組み込みそれを後押しした。第 2 に、2000 年頃からプラットフォーム・ビジネスへ着手した。即ち、TSMC は IP コア開発業者（IP とは intellectual property、設計資産のこと）や EDA（electronic design automation）ツールベンダーとアライアンスを組み、同社プロセスルールをプラットフォームとする回路ライブラリ整備を含む設計支援の包括的サービスを顧客（IC 設計企業等）へ提供することで、複雑化する設計環境の中でも顧客が容易に作業を進められるようにした。結果として TSMC への発注を増やし顧客を繋ぎとめるような仕組みを構築していったのである（以上、立本・藤本・富田、2009 を主に参考にした）。

以上の説明によると、台湾ファウンドリ、とりわけ TSMC が先発企業との技術ギャップを急速に埋めていったのは、歩留まりが高く加工時間が短い最先端装置を積極的に導入したことによるところが多く、しかも、その資金的負担は台湾の投資優遇制度によりかなりの程度軽減されたということである。投資優遇制度に関して、台湾半導体産業

の台頭は、国レベルのトータル・ビジネスコストの政策の勝利であるという指摘がある。即ち、小川（2014, 第4章）によれば、トータル・ビジネスコストの政策とは、税の優遇政策（法人税の無税期間制度、設備投資額に応じた投資税額控除制度）や減価償却期間に対する柔軟な政策（償却期間を非常に短くし、さらに償却の開始時期や償却期間も個々の企業に任せた）のことであり、こうした制度の後押しのなかった日本企業を尻目に、台湾（アジア）企業は短期間のうちに大規模投資を行って利益獲得を狙う事業戦略を実施していったのだという。台湾（アジア）企業の急速な技術的キャッチアップについても、最先端の装置を購入すればマスク枚数も少なくても済み、歩留まりも大幅に改善されるのは当然とし、日本は技術で負けたというよりもビジネス制度設計で負けたと指摘する。

台湾ファウンドリの台頭のもう1つの要因は、プラットフォーム・ビジネスによる顧客への設計支援を含めた包括的サービスの提供にあると思われるが、これについても先行研究がある。先ず、伊藤（2004）は、TSMCの歴史や業績推移に加え、同社の競争優位として、技術ポートフォリオ優位（様々なプロセスのニーズに応える幅広い技術力）、顧客への素早いサポート、他の専門企業とのアライアンスによる半導体製造全体をカバーするサービスの提供に言及している。またファウンドリ・ビジネスが合理性を持つ土台として、フレキシブルな専門企業間アライアンスの強み、自社の知的所有権公開（設計ライブラリ、製造プロセスの公開）と設計支援企業（IPや設計ライブラリのプロバイダー）とのアライアンスを通じたファブレスによるイノベーションの促進、顧客の増殖による不確実性の低下といった点について分析している。次に、荘（2010）は、TSMCのファウンドリ・ビジネスモデルについて焦点を当て、その特徴として、設計と製造のインターフェイス管理（設計サービス）、情報技術によるシステムの整合、アライアンスによるサービスの補完の3点を指摘する。また、ファウンドリ・ビジネスモデルの価値創造の原理として、顧客ニーズへの一致、製造段階の共有による「規模の経済」の発揮、IPの重複利用とライブラリによる「範囲の経済」の達成、共通の設計ツールと試作サービスによる「速度の経済」の提供、およびバーチャル組織による「集中化と外部化の経済」の享受の5つをあげている。

以上、既存研究に依拠しながら、1990年代以降の台湾ファウンドリの急速な台頭と技術的キャッチアップの基本的メカニズム、およびプラットフォーム・ビジネス成功の理由について概観した。筆者もこうした背景説明に基本的に同意するが、台湾ファウンドリの技術能力については、より踏み込んだ分析が必要であり、本研究の課題もここにある。即ち、装置の標準化・大モジュール化の趨勢および（国のビジネス制度上の後押しにより）最先端製造装置の大々的導入が可能であったことが台湾企業にとって追い風になったことは確かであろうが、（立本・藤本・富田論文もおそらくは認識しているであろうように）最先端の製造装置を使いこなすには半導体メーカー側にもそれに向けた技術・ノウハウの蓄積が不可欠である。また微細化の進展に追随するためには先端プロ

セスの開発へも継続的に取り組む必要がある。装置の大モジュール化による「工程設計のモジュラー化」傾向も、微細化の進展と技術的難易度の上昇に伴い変容する可能性もある。加えて、プラットフォーム・ビジネスは、その後次第に進化し、設計支援から製造（前工程だけでなく、後工程の一部も含む）までを総合的に請け負うビジネスモデルとなっている。これを支える技術・人材基盤（例えば、自社の設計エンジニアを使った高度な設計支援、多品種少量生産に対応できる生産ラインの運営ノウハウなど）の構築も鋭意進めて来ているはずである。

実際 TSMC は、ファウンドリ業界のリーダーとして、年々少なからぬ研究開発 (R&D: research and development) 投資を続けている。<sup>2</sup> 研究開発投資の内容について、TSMC の Jack Sun 氏（研究開発副総経理、2009 年当時）によれば、詳細は非公開だが、「設計」と「プロセス」および「生産技術」の 3 つに分かれるという (Sun, 2009)。これはおそらく、①プロセスデザインキットやセルライブラリー、EDA ツール等の設計支援のための技術の開発、②先端ロジックやその他の特殊プロセス技術の開発、③多品種少量生産や歩留まり、コスト管理面などに関する柔軟・高効率な生産システム構築に関わる投資、を其々指すものと思われる。半導体産業において研究開発というと、狭義には②のプロセス技術の開発を指すことが多いようだが、台湾（アジア）企業の台頭（および日本企業の凋落）を扱った文献（上述の立本・藤本・富田論文、小川論文、あるいは湯之上, 2009 など）では、技術力の内容として、信頼性（歩留まり）や生産性、コスト、スループットといった指標を主に念頭に置いていると思われる、これは基本的に③の生産システムの領域と看做せる。本研究では、この 2 つを其々検討する。①の設計関連については、TSMC が具体的にどのような設計支援サービスを提供しており、そのために EDA ツールベンダーや IP プロバイダー等の専門企業とどのようにパートナーシップを構築してきたかを見る方が分かりやすく、他の研究に委ねたい（例えば、上述の伊藤論文や荘論文、あるいは岸本, 2015 の第 3 節を参照せよ）。

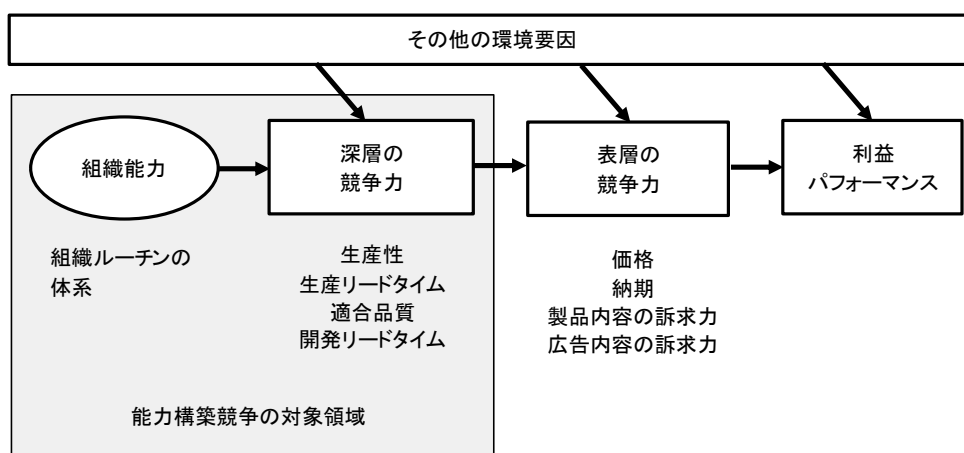
本研究では、②と③を合わせて技術能力と呼ぶことにするが、これを探究することは、藤本（2003）で指摘された「能力構築」の領域に踏み込むこととなるだろう。即ち、同書では、企業の競争力を収益性とそれに直結する「表層の競争力」（価格、知覚された製品内容や納期など顧客が直接観察できるもの）、および「深層の競争力」（生産性、生産・開発リードタイム、適合品質など表層の競争力を背後で支え、企業の組織能力と直接的に結びついている指標）と最深部の「組織能力」（組織ルーチンの体系）に分け、後者の深層レベルでの競争を「能力構築競争」と呼ぶ（同, p.41）（図 1）。そして、深層の競争力を強化するには、例えば工場なら「作業組織、工程のレイアウト、設備設計、

---

<sup>2</sup> 例えば、TSMC の研究開発支出は 2001 年の 106.5 億台湾元（約 3.0 億米ドル）から 2014 年の 558.1 億台湾元（約 17.6 億米ドル）へと年々着実に増加している。その間、研究開発支出の純売上高に対する比率は、年ごとに変動があるが、4.7~8.5%の間で推移している（TSMC, 各年版 a より計算）。

工程管理の方法、作業設計と作業配分の方法、賃金体系、動機づけの方法など、もの造りの組織能力全般にわたる改善をおこなわねばならない」(同, p.44) という。具体的には、日本の自動車企業の「もの造りの組織能力」の特徴を製品開発、生産、および購買の3側面から分析する。即ち、製品開発面では、早期・迅速かつ統合的な問題解決の仕組み(重量級プロジェクトマネジャー、サイマルエンジニアリング、多能的技術者による少数精鋭チーム、試作・金型・治工具製作の迅速性と品質の確保、部品・素材メーカーの開発参加など)である。生産面では、生産性向上と生産リードタイム短縮、製造品質(適合品質)確保、および生産現場の改善能力向上に向けた仕組み(ジャストインタイム、かんばん方式、自働化、ポカヨケ、自主検査、自主保全、5S、TQC、TPM、現場管理層などによる標準改訂など)を指す。購買の面では、調達先企業の高レベルの生産性・生産スピード・品質などの実現に資する企業間関係の仕組み(長期継続取引、少数サプライヤー間の競争による能力構築促進、関連した作業の一括外注など)が言及される(同, 第4章)。

図1 藤本隆宏教授の「もの造りの組織能力とパフォーマンス」



出所) 藤本 (2003) p.41 より引用。

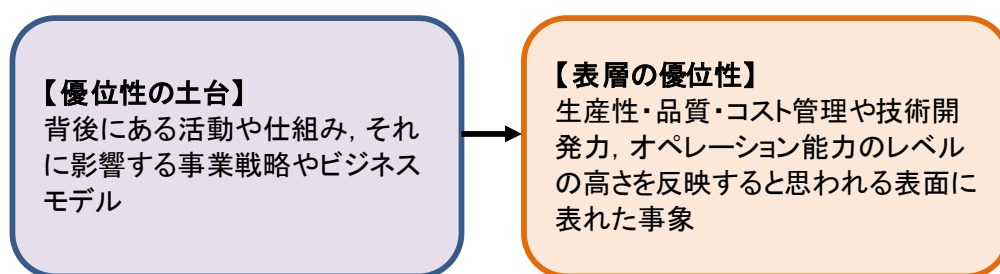
筆者としては、こうした枠組みに沿って台湾ファウンドリの技術能力を分析することが理想だが、海外企業に対する詳しい調査の実施可能性、<sup>3</sup> 半導体製造装置の性能および生産工程の外面からの可視性などの点から、情報収集には大きな制約がある。表層の競争力でさえ、個別企業(例えば、TSMC)に関して複数の指標に沿った信頼のおけるデータを包括的に収集するのは簡単なことではなく、ましてや複数企業について同様の

<sup>3</sup> 筆者の見聞した限りでは、とりわけ TSMC は、顧客機密や先端技術情報の漏えい回避のためにか訪問調査に対して警戒心が強い印象である(工場外観の写真撮影ですら警備員から注意を受けた)。他方で、世界中に顧客を持つファウンドリ業界リーダーとして、株主等に対する説明責任を重視する姿勢もあり、HP、企業年報、財務報告等の記述は充実している。



ことを行い厳密かつ体系的な比較分析をするのは（例えば、TSMC と日本の代表的半導体メーカーの間の比較）かなりの困難が予想される。深層の競争力についてはなおさらである。そこで、藤本教授の枠組みを修正・簡略化し、以下のように課題を限定する。分析対象としては、上述のように、柔軟・高効率な生産システム構築、およびプロセス（関連）技術開発の2つに焦点を絞る。これは、ファウンドリはプロセスと生産能力（およびそれに付随する各種サービス）そのものが売り物であるため、製品開発面と生産面といった区分よりも、技術能力の種類・分野に沿って区分するほうが適切と思われるからである。

図2 技術能力についての筆者の枠組み



出所) 筆者作成。

分析の方法としては、先ずこの其々について、「表層の優位性」を挙げる。これは、生産性・品質・コスト管理や技術開発力、オペレーション能力のレベルの高さを反映すると思われる表面に表れた事象で、例えば、生産システムの柔軟性、歩留まりや稼働率の高さなど、プロセス開発についてならば、先端プロセスの世代交代を2～3年ごとに順調に実現してきていること、顧客ニーズに対応し先端ロジック以外の特殊プロセスも拡充していることなどを指す。これは、藤本教授の「表層の競争力」、および「深層の競争力」の一部に相当するだろう。ただし優位性を示す指標や正確な数値は、必ずしも体系的に提示することは出来ず、代わりに、業界で認定されているような常識、断片的なデータ、具体的な事象に関わる日本企業との対比などを、筆者自身の訪問調査や既存文献・資料から引用することでサポートする。次に、「優位性の土台」、即ち、この表層の優位性の背後にある活動や仕組み、それに影響する事業戦略やビジネスモデルを見ていく。これは、藤本教授の「深層の競争力」の一部、および「組織能力」と大まかには重なるだろう。ここでも、「作業組織、工程のレイアウト、設備設計、工程管理の方法、作業設計と作業配分の方法、賃金体系、動機づけの方法」といった体系的で精密な分析は困難で、ある特徴的な側面を解説するにとどまる。なお、「優位性の土台」の中に事業戦略やビジネスモデルを含めたのは、同じ半導体企業でも、基本的に自社製品の設計・製造・販売を一括して行う IDM と他社製品の製造（特にウェハプロセス）請負に特化

したファウンドリではこの点が大きく異なり、これが技術能力発展の方向性に相当の影響を与える可能性を考慮したためである（図2）。

このように限定的な形ではあるが、台湾ファウンドリの技術能力についてのまとまった分析は、筆者の知る限り、ほとんど見当たらないため、その先駆としての意義はあるだろう。既存研究でこれに関連するものは、上に引用した文献以外では、例えば、朝元（2014, 第1章）は、TSMCの誕生の歴史的経緯、TSMCの技術力、企業理念と競争力の源泉および企業戦略（SWOT分析等）について言及し、同社の企業戦略について包括的な分析を試みている。ただし、技術力についての記述は、TSMCの技術開発の成果を技術用語そのままに羅列しているだけで、その内容・種類について体系だった解説はなされていない。呉（2005）は、TSMCとUMCの事例から、生産プロセスとナレッジ・マネジメントに踏み込みその競争優位の背景を分析しており、本研究にとっても、特に柔軟・高効率な生産システム構築に関しては参考になる。田村（2013）は、ファウンドリによる次世代技術開発と新たなネットワーク構築が企業間関係の変化を促すことを指摘し、近年のTSMCと顧客である有力IDM（Intel、ルネサス）との間のアライアンスの事例研究を通して、双方にとっての戦略的効果を分析している。技術能力構築におけるアライアンス活用の側面について参考になる。調査報告書的なものとして、交流協会（2015）の中でTSMCが取り上げられている。研究開発の動向について、製品・技術概況、設計、プロセス、フォトマスク、テストング、パッケージングなどに分類し、過去数年～10年ほどの具体的成果を表にまとめ、若干の解説を加えている。また、特許情報の整理を通して、日本の東芝、ルネサスとの比較を交えつつ、同社の技術動向を分析しようとしている。ただし、技術の内容や特徴、企業競争力にとっての意味については説明が少なく難解である。特許の分析も、世界主要国（台湾、日本、米国、欧州、中国、韓国、インド）での出願状況の概説が主で、その面での参考にはなるが、TSMCの技術能力の優位性に関する理解にはあまり資さない。

中国語文献では、伍（2006）がTSMCのまとまった研究である。同社の成長と企業戦略の変遷、生産能力拡充、顧客との関係、国内外競合との経営比較、大陸進出状況などに目配りし大変参考になるが、技術力については、主に（当時の）先端プロセス開発に関する国内外競合との競争状況の解説にとどまっており、技術能力の表層・深層の理解に資するまとまった分析はない。なお、TSMCは、かなり詳細な『公司年報（Annual Report）』（TSMC, 各年版a）や『營運報告（Business Overview）』（公司年報の要約版。一部、独自の記述がある）（TSMC, 各年版b）を毎年作成し、過去10年以上分をHPで公開している（中国版の他に英語版もある）。その中の研究開発成果を紹介した部分は、技術用語が多く難解ではあるが参考になる（筆者の知る限り、同社の技術開発成果について、容易に入手できるまとまった形の資料はこれしかない）。

最後に、本稿では、半導体業界アナリストやジャーナリストによる報道・解説を多く引用している。これらは学術的分析ではなく、大半は業界人向けに技術や業界の現況を

知らせるための記事で、素人には分かり難く、また内容も特殊なものが多いが、丁寧に読み込めば具体的な事実関係を知る上で参考になる。本稿での現況解説については、出来るだけ本稿執筆時点での最新情報を参照するよう努力したが、情報はやがて陳腐化するであろう。しかし、本稿の目的は、経営学的な視点を踏まえ、半導体技術の各分野の内容や進化の方向性・課題に関する基礎的理解を確認した上で、台湾ファウンドリによる技術能力構築の取り組みの内容とその背景要因を分析することであり、業界アナリストやジャーナリストとは異なる課題を有していることは言うまでもなからう。

本稿では、こうした既存文献・資料に加え、筆者自身による台湾および日本での半導体企業・業界関係者・専門家への面談調査の記録も活用する（参考文献欄末の「インタビュー記録」参照）。

以下では、先ず第2節で、台湾ファウンドリの生産システムに注目し、多数の顧客を相手に多品種少量生産を実現する柔軟性、生産システムの全体最適化とノウハウの共有、および品質・生産性・コストへの姿勢について分析する。また生産システムの担い手であるエンジニアとオペレータの動向についても言及する。第3節は、TSMCのプロセス（および関連する）技術の開発について、先端ロジック・プロセス、特殊プロセス、配線／パッケージ、先進トランジスタの4分野に分け、各分野の技術の内容と進歩の基本的方向性を概観し、当該分野におけるTSMCの取り組みを解説する。第4節はディスカッションとまとめで、以上の記述を、上述の分析枠組みに沿った形で整理する。これによりTSMCの技術能力の表層に表れた優位性と背後でそれを支える優位性の土台に関わる面を明らかにする。

## 2 柔軟かつ高効率な生産システムの構築

TSMCは、2000年代初めから設計支援から製造までを総合的に請け負うビジネスモデルを本格的に立ち上げ、年々拡充していった。これにより多数の顧客よりの受注による規模の経済と稼働率向上そして高収益を実現し、これを最先端プロセス技術開発と高価な先端装置導入へ継続的に投資することでその優位性を揺るぎないものとしていった。ただし、この戦略の実現には、多様な製品ニーズへコストを抑えつつ、限られた生産ラインで対応する柔軟性と高効率性の実現、および不断の改善が必要である。本節では、柔軟で効率的な生産ラインの詳細とそれを支える仕組みについて検討する。なお、以下の記述は、主にTSMCを念頭に置くが、台湾ファウンドリ二番手のUMCに関する情報も多く参考にしている。<sup>4</sup> 両社は長年相互学習しており、また品質・納期・コストに関する顧客ニーズの基本線は同様であるため、生産ライン改善の工夫では類似点が多

---

<sup>4</sup> 以下、台湾ファウンドリの生産システムについての解説は、特に引用ソースを明示しない限り、TSMCおよびUMCのHPや『公司年報』、および筆者自身による両社での面談から得られた情報によっている（参考文献欄末の「インタビュー記録」参照）。

いとみられるからである。<sup>5</sup>

## 2.1 多品種少量生産への対応

TSMC は顧客の多様なニーズに対応するためにプラットフォーム戦略を導入している。石原 (2005) によると、同社のプラットフォーム・ソリューションには、①「Core Technology、Services and IP」(汎用品ロジック・プロセス等)、②「Enabling Technology、Services and IP」(フラッシュメモリ、ミックスド・シグナル/高周波、高電圧などの特殊プロセス)、③「Application/Customer Specific Technology、Services and IP」(種々の特殊なアプリケーション、技術ニーズ、IP) の3つのレベルがあり、其々で設計に必要な要素が全て揃っている。また e-Foundry (電子化サービス)、CyberShuttle (試作サービス)、フォトマスク製造などのサービスも整備されている。これにより顧客の特定仕様のアプリケーションやカスタム化の要求に対応する。加えて、プロセス世代の新旧により大別して「Advanced Technology Platform」と「Mainstream Technology Platform」の2つのテクノロジー・プラットフォームを用意している。前者は、その時点での先端的なプロセス世代を中心とし、後者は成熟した世代であり、顧客との擦り合わせの度合いで違いがある。<sup>6</sup> この2つのテクノロジー・プラットフォームと上述の3レベルのソリューションのマトリックスで、顧客の様々なニーズをサポートする (石原, 2005)。これに対応するため、TSMC のプロセス技術の開発は、①CMOS ロジックを中心に、メモリやアナログ等の特殊プロセスに拡大する、および②各技術でプロセス世代を進化させる、という2方向に進展している (図3。第3節で詳説)。TSMC のライバルである UMC も類似のサービスを「SoC ソリューション」として提供している (温, 2006 参照)。なお、SoC (system-on-a-chip) とは、ある電子機器・システムの動作に必要な機能のすべて (あるいはまとまった部分) を、1つの半導体チップに実装する方式であり、システム LSI とほぼ同義である。<sup>7</sup> TSMC や UMC の製品の多くは複数のロジック回路や特殊プロセスを混載し

---

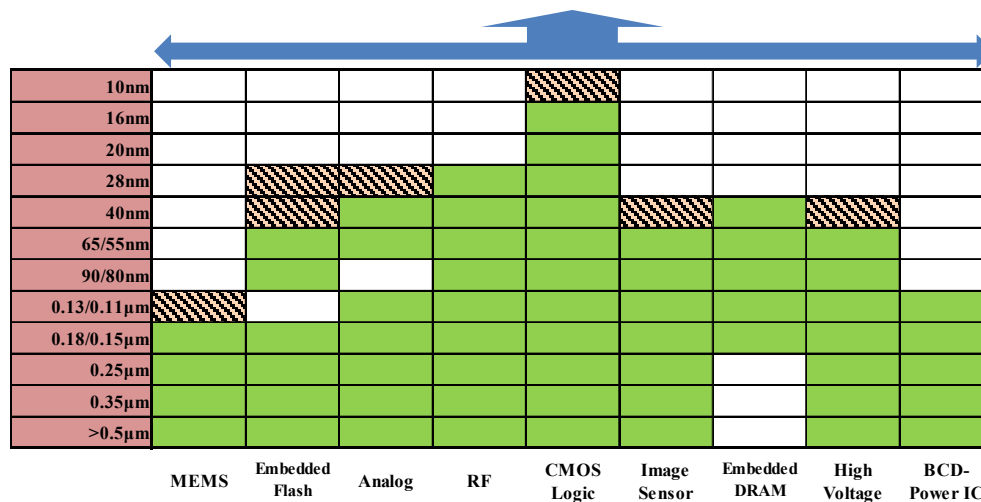
<sup>5</sup> これに対して、プロセス技術は企業ごとに大きく異なる。例えば、顧客が TSMC から UMC にオーダーを移す場合 (あるいは、その逆の場合)、多大な努力を払いデザインをやり直す必要がある。Qualcomm のような大手ファブレスは、複数のファウンドリに発注しリスク分散するが、それには相当のコストとリードタイムを伴うという (umc-ir-3)。

<sup>6</sup> 具体的な内容は、時期により変化する。石原 (2005) では、Advanced Technology Platform では 0.13 $\mu$ m、90nm、65nm が中心で、Mainstream Technology Platform は 0.15 $\mu$ m、0.18 $\mu$ m、0.25 $\mu$ m、0.35 $\mu$ m、0.5 $\mu$ m が中心とある (2004 年 12 月時点の区分)。より最近 (2013 年 12 月 4 日) の筆者による TSMC での面談では、「簡単に言えば、前者は 12 インチウェハ・プロセス技術、後者は 8 および 6 インチウェハ・プロセス技術である。ただし例外もあり、12 インチ技術の一部は (例えば、90nm は 12 インチウェハ工場で作っているが) Advanced Technology には含まない」のだという (tsmc-ir-2)。

<sup>7</sup> 従来は樹脂基板上に複数のチップを乗せて配線接続する形をとっていたが、SoC ではそれを統合し 1 チップとして提供する。これは半導体製造技術の進歩により、集積度が極度に向上したため可能になったのである。ロジック IC を核に、マイクロプロセッサ、各種のコントローラ回路やメモリなどを統合したチップが多く、携帯電話やデジタル TV など特定の用途向けであ

た SoC の形で提供される。

図3 TSMC のプロセス技術と世代のバリエーション (2013 年時点)



注) 色付き部分は利用可能、斜線部分は開発中。  
出所) TSMC (各年版 b) の 2013 年版、p.11 より。

表1 TSMC 各工場のデータ

	場所	操業開始年	最大生産能力 (万枚/月)	ウェハ口径 (インチ)	プロセス (µm)	技術数	顧客数	製品数
Fab 2	新竹	1990	9.4	6	0.50	29	105	1,490
Fab 3	新竹	1995	10.0	8	0.18	66	190	1,422
Fab 5	新竹	1997	5.0	8	0.18	18	35	164
Fab 6	台南	1999	14.3	8	0.13	39	148	664
Fab 8	新竹	1998	9.2	8	0.13	39	157	1,176
Fab 10	中国	2004	11.0	8	0.18	29	134	627
Fab 11	米国	1998	3.8	8	0.18	25	47	528
Fab 12	新竹	2002	13.0	12	0.028	44	121	1,125
Fab 14	台南	2004	20.0	12	0.028	36	143	1,239
Fab 15	台中	2012	10.0	12	0.020	3	9	39
合計						179	453	8,312

注) 2014 年時点の数値。ただし、技術数、顧客数、製品数は 2012 年時点の数値。Fab 10 は中国上海、Fab 11 は米国ワシントン州 (WaferTech)、他は国内に位置する。  
出所) 場所～プロセスは、ITRI-IEK (2014) p.2-12 より、そして技術数、顧客数、製品数、およびその合計は、TSMC 会社説明資料 (2013 年 12 月 6 日付) より作成。

る。システム LSI とほぼ同義だが、厳密には、システム LSI には、SiP (system-in-a-package) も含まれる。SiP は SoC のように複数の機能をはじめから 1 枚のチップに作り込むのではなく、別々に作られた複数のチップを配線等で繋いでひとまとめにパッケージし、見かけ上 1 つのチップのようにしたものである。

2012年時点のデータでは、TSMCは453社の顧客に対して、179種の技術を使い8,312種の半導体製品を提供している。TSMCには10カ所の工場があるが、各々の基本データは表1に示された通りである。179種の技術とは、図3の横軸にあるようなCMOSロジック、アナログ、MEMS（微小電気機械システム）、イメージセンサー等の技術に縦軸の世代数を掛け合わせ、さらに幾つかのオプションを加味した数であるという。

工場での実際の運営はどうかというと、TSMCの工場（FAB12A、新竹科学園区内）における筆者の訪問調査によれば以下のようなようである。即ち、12インチウェハ対応の新鋭工場（FAB12、FAB14、FAB15。GIGAFABと呼ばれる）はほぼ完全に自動化されている。そこでは、多品種少量生産への対応は、「1つのgeneric（一般的、包括的）なプロセスがあり、顧客のニーズで調整するだけ」だという。例えば、プロセス（この場合は、工程フローの意と思われる）が1,000ステップに分けられるとして、顧客のニーズにより中間のレシピの選択や全体のステップ数に多少の違いがあるが、何れにせよコンピュータで制御するので「特別複雑でもなく、特に秘密もない」とのことであった。ウェハプロセス工場内（クリーンルーム内）は、成膜、リソグラフィ、エッチング、不純物添加、ウェット処理、CMP（化学機械研磨）、熱処理などの工程ごとのエリアに分かれており、「天井搬送」（天井に張り巡らせた小型のモノレールのような搬送機で運ぶ手法）によりシリコンウェハの入ったカセット（通常1カセット25枚入り）が搬送され加工される。1つのカセット内のウェハは同じ製品で、カセットごとに振られたIDナンバーが特定のプロセス・フローにリンクしている。各装置で処理される際は、製品が異なればレシピを切り替える必要があるが、装置のメモリにレシピが多数記憶され、コンピュータ制御で管理される（tsmc-ir-3）。

一般的には、1つの生産ラインでの多品種少量生産は複雑性が高く困難であり、TSMCがこれを効率よく実施できるのは、長年に亘るノウハウの蓄積とICT技術による最適化・自動化に加え、常に市場ニーズへの適応を心がけている結果であろう。TSMCの工場幹部は、日本との比較で次のように言う。「日本メーカーのプロセスは相対的に柔軟性が低く、カスタム化に対応しにくい。ただし、現在、モバイル製品が主流の時代で、変化が多い。日本のFABの動きはそれほど速くない。この点では、我々は日本より積極的である。加えて、我々は残業を厭わない」（tsmc-ir-3）。

なお、同社の各工場が全てのプロセスを実施出来る訳ではなく、特別なプロセスは其々一部の工場でのみ取り扱っている場合がある。例えば、MEMSについては、比較的旧式のプロセスを使用するためFab2とFab3で取り扱っている。6インチと8インチのロジック用生産設備に何台か特別な装置を付け足し、こうした特殊な応用製品の製造に使う（三宅, 2008）。第3節で詳説するが、TSMCの研究開発経費の全てが最先端ロジックの微細加工技術の開発に向けられている訳ではなく、一部は、埋め込みメモリやCMOSイメージセンサー、MEMS等の派生・特殊技術にも向けられている。図3から分かるように、微細化の世代で特殊技術は先端CMOSロジックより2~3世代（以上）

前のプロセスが使用されるので、旧式となったロジック・プロセス用ラインがベースとなる。<sup>8</sup>

旧式工場の温存は特殊プロセスへの対応という面だけでなく、利益獲得の面でも重要である。即ち、「TSMC は、枯れた非先端領域での製造受託で利益を出し、その資金で先端領域の設備投資を行うポートフォリオ戦略をとり、同業他社を圧倒する売上と利益を確保している」（立本・藤本・富田,2009,p.231）。また、減価償却が十分に済んだ旧世代設備は強いコスト競争力をもち、不況期に稼働率を低下させても利益を生み出すことが出来るのだという（同,p.244）。<sup>9</sup>

ちなみに、製品ミックスに関して、かつて日本半導体メーカーの戦略は以下の様であった。即ち、先ずテクノロジー・ドライバであった汎用品（メモリ）に積極的に投資し、先行者利益を確保する。その後、同じ生産ラインで多品種少量品を製造する。そのラインは既に最先端ではなくなっているが、メモリ以外の大半の用途には十分である。そして、多品種少量品は一般的に大きな利益をあげにくい、汎用品（メモリ）での先行者利益確保により、全体としては利益を得られ、生産ラインの償却も出来る。ただし、この戦略は、メモリ事業を切り離れた後では実施困難となる（西村,2014,pp.61-62）。これとの対比で言えば、TSMC の戦略は、はじめから多品種少量生産を中心としながらも、設備の減価償却と利益の確保が十分可能であり（減価償却期間を柔軟に決められる制度上の利点もある）、さらに旧式ラインの温存・活用で一層の利益を上げるというものである。プロセス技術の種類・世代の拡充、柔軟性の向上に向けた取り組みは、この戦略と密接に連動していると言える。

## 2.2 生産システムの全体最適化とノウハウの共有

上述のように、近年では実際の工場の運営は ICT 技術の活用により高度に自動化されている。こうしたトレンドは 1990 年代以降、米国を源流に世界に普及したものであり、ここでその経緯を解説する。

半導体分野で一旦日本との競争に敗れた米国は、1990 年代前半までに、「オープン・オブジェクト指向型 MES (manufacturing execution system)」と呼ばれる、生産システムの不確実性に対する柔軟性を飛躍的に高める技術を開発した。MES とは、生産現場の

---

<sup>8</sup> この他、旧式ラインの特殊プロセスへの活用事例として、CMOS イメージセンサーは、0.18 $\mu\text{m}$ 、0.25/0.35 $\mu\text{m}$  のロジック・テクノロジーをベースに特殊なプロセスを追加することで実現している（石原,2005）。また、現在、ロジック IC の製造はもっぱら 300mm (12 インチ) ウェハが主流で、一部 200mm (8 インチ) ウェハが用いられている程度だが、アナログ混載などでは 150mm (6 インチ) ウェハへの需要もまだ根強く、GaAs (ヒ化ガリウム) の基板では 100mm (4 インチ) ウェハのものも多い、と指摘される（大原,2014d）。

<sup>9</sup> 2002 年当時、TSMC 会長のモリス・チャン氏へのインタビュー記事には、「ここ数年、我々は設備投資を慎重に進めてきました。損益分岐点は設備稼働率 40%台がメドです。現在は多少上昇しましたが、それでも 50%前後でしょう。他のどの会社よりも低い。だから景気の悪い時期にもいくらかの収益を上げられます」とある（チャン,2002,p.96）。

状況を監視し高精度のリアルタイムの情報を刻々と伝達し全体最適化を図るソフトウェアで、より少ない仕掛在庫、より少ないサイクルタイム、より高い納期遵守率を実現するものである。従来 MES は半導体メーカー各社が自社専用で開発・使用していたが、オープン・オブジェクト指向型 MES は、分散システムのもとで複数の装置同士がデータをやりとりし様々な要求を自動的に交通整理するプログラム・アーキテクチャを持つ。また頻繁に利用される共通部分のみをソフトウェアの核とし、従来型の MES の諸機能や新たに必要となる機能を自己完結型のサブシステムとして核に追加できるようになり、これまで分散して蓄積されていたノウハウ・知識を結集することに成功した。1993年に登場したこの技術は、米国大手メーカーのみならず、TSMCのようなアジア企業にも積極的に導入されて、これらのメーカーの効率は飛躍的に向上した。これによるサイクルタイムの大幅な削減には、実は、トヨタ生産方式のプル型生産（実需に基づく受注生産）のアイデアが活かされているという。

他方、日本メーカーは、こうした技術を備え完全自動化された新世代工場（200mm ウェハ対応工場）の導入で遅れがちとなり競争力を失っていくことになる。これには日米半導体協定（1986～1995年）による足枷などの様々な理由があるが、根本的には、従来のプッシュ型生産（実需に基づかない見込生産）から十分脱却できず、こうした新しい設計思想への認識不足があった。そしてその背景には、管理会計システムの後進性と産業構造上の制約があったという。即ち、前者は、原価発生状況を全社レベルから工場レベルまでブレイクダウンし、工場内でラインバランスの乱れにより作り過ぎや不足が生じた際、それがウェハ1枚の単価にどの程度のコスト増をもたらすかを速やかに的確に把握できていないことを指す。これは後者、即ち、半導体メーカーが総合電機メーカーの1部門であることにより助長された。<sup>10</sup> 日本メーカーは、こうした「生産状況の見える化」と「原価発生状況の見える化」において米国有力メーカーはおろか TSMC や Samsung のようなアジア後発企業にも遅れを取り、競争力を地盤沈下させていく一因となった（以上の記述は、主に、中馬, 2010 に依拠している）。

その後、半導体工場の自動化は年々進歩し、工場内のウェハ搬送、プロセスデータの集中管理、フィードバックやフィードフォワードが可能となり、<sup>11</sup> ロット管理、工程管理から、生産と在庫の管理、生産・受注計画にいたるまで「コンピュータ統合生産（computer integrated manufacturing : CIM）」システムによってコントロールされる方向に進んだ。上述のような米国で始まった半導体製造装置のハードウェアおよびソフトウェアのインターフェイスの標準化は、この流れと連動している（前田, 1999, p.97, p.211）。

<sup>10</sup> 総合電機メーカーを主導するシステム（最終製品）部門にとっては製造原価の大半は変動費であり、間接費が大半を占める半導体部門に合わせて、間接費を製品原価に配賦するような原価計算方式を苦労して導入するインセンティブが少なかったという（中馬, 2010, pp.204-206）。

<sup>11</sup> フィードバックは、制御した出力の結果を入力側に戻し目標値と比較して次の制御へ役立てようとする方式で、他方、フィードフォワードは、出力に変動を起こさせるような外乱を予測し前もって打ち消してしまう制御方式である。



日本メーカーにおいてもこうした完全自動システムの導入は実施されたが、台湾ファウンドリのような後発メーカーの方が、新たな技術潮流に乗じてより積極的に生産システムの高度化と急速な技術進歩を実現していったとみられる。例えば、TSMCでは、既に1998年に「バーチャル・ファブ」事業の確立がその年の主要課題の1つとして挙げられている。これは、コンピュータ上で技術開発から量産工場までを全てシミュレートできる技術であり、顧客としてファブレスに加え IDM からの受注をも視野に入れたものである。即ち、生産ラインを有している IDM よりも低コスト・短期間で製造するシステムの構築により事業拡大を目指しているのである（望月, 1998）。

これに関連する取り組みを、既存資料および筆者自身の TSMC と UMC での面談から知りえた範囲内で、具体的に紹介すると以下のようなことがある。

- TSMC の「GIGAFAB」と呼ばれる 12 インチウェハ対応新鋭工場（FAB12、FAB14、FAB15）では、生産ラインはほぼ完全に自動化され、クリーンルームから離れた生産管理センターで精密にコンピュータ制御されている。クリーンルーム内には、予防保全技術者などごく一握りの人員のみである（tsmc-ir-2、tsmc-ir-3）。GIBAFAB は、中小型工場と比べると当初の投資金額が大きい反面、完全自動化と規模の経済によりチップ当たりの運営コストは低くなり、歩留まりの学習曲線加速、生産能力の柔軟性、サイクルタイム短縮といった利点があるという（TSMC、各年版 b の 2006 年版, p.17）。<sup>12</sup>
- TSMC と UMC においては、生産ラインの ICT 管理システムは、当初は外部から購入していたが、その後自社で構築する能力を身に付け、頻繁に改良を加えている（tsmc-ir-3、umc-ir-3）。例えば、UMC では、CIM はここ 10 年ほどはほとんど自社内で開発している（外部から調達したシステムはあまり使い勝手が良くないらしい）。各工場に CIM 担当チームがあり、ユーザー（プロセス・エンジニア、装置エンジニア）からの日々の提案を踏まえ、ほぼ毎月バージョンアップしている。これにより、一層ユーザーフレンドリーになり、歩留まり向上や顧客製品の time-t-market の短縮に大きく貢献しているという。
- これと並んで、組織が非常にフラットでコミュニケーションがしやすいことも指摘される。多くのインデックス（生産性、品質、サイクルタイム等）があり頻繁にレビューする（現在 1 日 2 回レビュー）。そこで問題があれば、ディリーミーティング

---

<sup>12</sup> 付言すると、小規模工場を分散して持つ場合、需要増加のたびに新工場建設と認定手続きを経ないといけないため時間がかかる（認定だけで 1 年近くかかる）。GIGAFAB 構想では、生産能力を少数の大規模工場に集約するわけだが、実際は生産ラインを幾つかの段階（フェーズ）に分けて徐々に増設する方式のため、新設ではなく拡充と看做され認定時間を短縮でき需要の変動に即応しやすくなる（tsmc-ir-3）。加えて、小規模工場を数多く持つ場合に比べ、全体として工場運営のための技術者の人数が節約でき、それに伴うコストも削減できるという利点がある。ちなみに、TSMC が次世代の 450mm ウェハ対応に積極的な理由の 1 つは、将来、優秀な技術者を十分な数獲得することが益々困難になると予想しているからである（LaPedus, 2011）。

で直ちに検討し対策を講じる。工場長も毎日のように頻繁にコミットするという (umc-ir-3)。

- ・ TSMC と UMC の両社では、社内の異なる工場間でノウハウや経験・技術に関して相互の知識交流・ベンチマーキングをする仕組みがある (tsmc-ir-3、umc-ir-3)。例えば、UMC では、全エンジニアはデータベースにアクセス出来る。また「技術委員会」で統一的に改善計画を策定し各工場へ広める。このようにして、ほとんど週単位で社内の他工場での経験に関する情報にアクセスし自分の所属する工場での活用を検討する。
- ・ この前提として、工場間での装置やツール、レシピ等の標準化を追求する企業文化がかなり強制的に築かれてきていることが重要である。当初は困難が大きいが後に柔軟性を増し企業に大きな利益をもたらすことが強調された。この背景には、ウェアプロセス・コストの約 60%が装置の減価償却費であることがある (umc-ir-1)。

こうした取り組み事例を見る限り、台湾ファウンドリの生産システム優位性の多くは、ICT 管理システムの活用と各工場の経験・ノウハウの全社的な共有、その前提としての装置やツール、レシピ等の社内標準化の推進に帰するとみられる。他方、筆者が国内の半導体業界関係者と面談した中では、日本がこの面で不徹底であること示す事例を聞かされた。例えば、国内大手半導体メーカー S 社では、生産ラインの自動化・無人化と ICT 管理システムの導入は相当程度進んでいる。ただし、それは従来のシステムを効率化しただけで、工場ごとに「結構バラバラ」に行っているという。即ち、同じ社内でも工場間でエンジニアリング・インストラクション（生産技術指示書。プロセスパラメーターやデザインルール等に関する決まり）やパーツナンバーが異なり、装置のデータも標準化されておらず、工程フローやレシピも異なる。台湾ファウンドリのようにプロセスや管理方式を全社的に統一する努力が徹底されていない。製品の規格も不揃いで、例えば同じタイプのパッケージなのに工場ごとにピンの形状が微妙に違っている。工場間の交流や意見交換を頻繁に行いノウハウや経験を集約し全社的に共有するような仕組みも整備されていない。こうなってしまったのは、各工場のエンジニアが自分のやり方へのこだわりが強く（良く言えば「匠の世界」だが）、様々な仕組みをボトムアップで積み上げてきた結果であるという (japan-ir-3、japan-ir-4)。

S 社の他、エルピーダやルネサスのような企業は、複数企業の半導体事業部の統合によって設立されたという生い立ちのため、全社的な標準化と経験・ノウハウの共有が台湾ファウンドリに比べ不十分であった可能性が高い。ただし厳密にいうと、生産ラインや業務プロセスの運用および知識管理において、台湾ファウンドリ間でも違いがある。相対的に言えば、次のように対比される。TSMC では、ノウハウや知識をコード化しデータベースに保存し十分な活用を図る。例えば、新工場建設に際して、これまでの成功経験を徹底的にマニュアル化しコピーする。管理方式や技術員の作業についても同様である。これに対して、UMC はあらゆるものをコード化せず、従業員同士の対話・ロ

一テーションを通して経験・ノウハウの普及を図っている。工場の運営を担う生産企画部も、TSMC は本社の視点から全社的に集中管理するのに対して、UMC では各工場レベルでの裁量が多い（以上、呉, 2005 を参考にした）。顧客への対応としては、TSMC は標準化の文化がより徹底されており、その分やや融通が利かないところがあるのに対して、UMC はより柔軟でカスタマイゼーションを比較的積極的に受け入れる傾向があるが（そのため、どちらかという大手顧客よりも中小顧客へのサービスに慣れている）、逆に標準化・量産化の追及が不徹底で管理も複雑になる分コストと効率がやや犠牲にされると言える（umc-ir-3）。

なお筆者自身による TSMC と UMC での面談によれば（tsmc-ir-3、umc-ir-3）、TSMC は工場の生産ラインについては、同じプロセス世代なら同社傘下の工場間で極力同じように構築する（これを「copy exactly」という。製造装置の仕様、工程レシピ、品質管理法等を全て完全に同じにすること）のに対して、UMC はそれを目指しながらも TSMC ほど徹底できていないらしい。UMC での面談によれば、「一方の極に Intel や TSMC のような copy exactly を徹底する企業があり、他方の極に日本企業のような職人精神を持って工場ごとに装置やラインのカスタム化を行う企業がある。UMC はその中間である」という趣旨の発言が聞かれた（umc-ir-3）。この背景には、専門ファウンドリとして創業した TSMC は、当初から工場間の違いが出来るだけ少なくなるよう設計しているのに対して、UMC は IDM からファウンドリへ転業し「五合一」（2000 年の UMC 自身を含むグループ企業 5 社の統合）により工場を拡充してきたという両社の歴史的経緯の違いがある。<sup>13</sup>

### 2.3 品質、生産性、コストへの姿勢

このように ICT 管理システムの十全な活用は、単に新型装置・システムを導入すれば実現できるという訳ではなく、生産ラインの運用や知識管理についての各企業での取り組みが影響を与えており、究極的には、品質（歩留まり）、生産性（稼働率、スループット等）、コストへの姿勢が問題となるだろう。大手台湾ファウンドリの生産ラインは、多品種少量生産に対応できる柔軟性に加え、品質と効率においても高い水準を示している。

既存文献では、台湾ファウンドリは、日本半導体メーカーと比べ、同様の半導体製品

---

<sup>13</sup> UMC は、2000 年 1 月に自社に加え同社グループ企業 4 社（聯誠 [USC]、聯瑞 [UICC]、聯嘉 [USIC]、合泰 [UTEK]）の統合（「五合一」）を敢行した。聯誠、聯瑞、聯嘉の 3 社は、1995 年、UMC の顧客でもある米国・カナダのファブレス 11 社と合弁で新竹科学園区内に設立していたものである。顧客と合弁で 3 社を設立したのは、工場建設のための膨大な資金的負担を軽減すると同時に、これらパートナーからのオーダーを長期的に確保するためである。また合泰半導体のウェハプロセス工場は UMC が 1998 年に買収していた。「五合一」により営業収益が一举に 3 倍以上となり、UMC は、資本金 883 億元で、当時国内の民間上場企業で最大となった。

を製造する場合でも、過剰品質を避け余分なステップは出来る限り省くため工程フローが短く、フォトマスク枚数も少ない。また歩留まり（良品率）の立ち上がりが速く、最終的な歩留まりも高い。さらに装置のスループット（単位時間当たりの処理能力）が高く、装置台数も少ない。そして装置の稼働率が高い、といった指摘がなされている。これに対して、日本企業は、微細加工やインテグレーションの技術力は高いが目標性能以上の高性能デバイスを作ろうとする傾向あり、それにより工程数とフォトマスク枚数が増加する。反面、スループットや稼働率、コストには相対的に関心が低い。これは、かつて日本企業が優位の時代に定着した極限性能を追求し高品質 DRAM を生産する技術文化が、低コストで作る技術力が必要な時代となったにもかかわらず、修正出来ていないことを意味するという（湯之上, 2009, 第 1 章）。

品質や生産性向上に関する台湾ファウンドリの取り組みや成果について、既存文献・資料および筆者の面談（tsmc-ir-3、umc-ir-3）から知り得た具体的な例を紹介すると、以下のようなになる。

- TSMC や UMC では、常にスループット（単位時間当たりの処理能力）改善策を講じ（例えば、排気を速く行う、ウェハ搬送を速くする、チャンバーの数を増やす、レシピを改良する等）、装置の性能を最大限発揮させるよう工夫する。生産能力の改善目標を掲げ毎年数%ずつ向上させている（tsmc-ir-3、umc-ir-3）。
- TSMC では、プロセス世代が進むごとに良品率改善（欠陥密度低下）の速度が向上している。例えば、0.22 $\mu\text{m}$  世代では、毎四半期 6%、0.18 $\mu\text{m}$  では同 10%、0.15 $\mu\text{m}$  では 13.5%、0.13 $\mu\text{m}$  では 13.5%、90nm では 25%である（TSMC, 各年版 b の 2005 年版, p.13）。
- TSMC では、プロセス世代が進むごとに量産化実現がスピードアップしている。例えば、40nm 世代では 1 ヶ月単位ウェハ処理能力 6 万枚に達するまでに 3 年かかったが、28nm ノードでは 2 年、20nm では僅か 3 ヶ月にまで短縮された。これは、同社の洗練されたプランニングと実行能力、およびサプライヤーとのシームレスな協力体制を反映したものとされる（TSMC, 各年版 b の 2014 年版, p.12）。
- TSMC では、フォトマスク 1 枚当たりのサイクルタイムが、20nm 世代では 1 日となる。これは、28nm ノードより速いペースであり、16nm ではさらに短縮される見通しである（TSMC, 各年版 b の 2014 年版, p.12）。なお、呉（2005, p.66）によれば、台湾ファウンドリのサイクルタイムは、日本の IDM のおよそ半分であるという。
- TSMC の年間の稼働率（生産能力利用率＝生産量／生産能力×100。8 インチウェハ換算のウェハ枚数から計算）は、2000～2014 年の間で、2001 年、2002 年、2009 年の 3 年を除いて、全て 90%前後、あるいはそれ以上である。UMC においては、同様のデータで、2001 年、2002 年、2005 年、2008 年、2009 年の 5 年以外の年は皆 70%以上である（TSMC, 各年版 a; UMC, 各年版より計算）。

断片的ではあるが、こうした事例は、品質（良品率）や生産性（スループット、サイ

クルタイム、量産化スピード)に関する指標の改善は、新式装置を調達しさえすれば直ぐに実現できるというものではなく、半導体メーカー側の努力により年々向上してきているということを示すものと言える(上述の ICT 管理システムの導入と継続的改良もその手段の1つであろう)。多数の顧客から受注し装置稼働率を上げ、設備投資を極力速やかに回収するのがファウンドリ・ビジネスの基本的要素であり(これは同時に、コスト引き下げや time-to-market 短縮という顧客ニーズに応えることにもなる)、ビジネスモデル的にもこうした方面の改善追求がビルトインされていると思われる。但し、稼働率での TSMC と UMC 間の格差に見られるように、ファウンドリ企業ごとにその巧拙・徹底の度合いに少なからぬ違いがあるであろうことも推測される。

品質に関してはどうであろうか。一般的な傾向として、日本企業は品質や信頼性に(過剰なほど)重きを置くのに対して、台湾企業は生産性とコストをより重視すると思われる。これは、かつて台湾ファウンドリがコスト優位性を売り物にしていた時代のイメージが残っているためかもしれない。<sup>14</sup> しかし、最近の筆者による TSMC と UMC での面談では、両社とも「品質では妥協しない」とのことであった。即ち、TSMC では、スループット(単位時間あたりの処理能力)改善、サイクルタイム(製品1つを造るのにかかる時間、あるいは1つの工程に要する時間)改善のために過剰なプロセスは省くものの品質は犠牲にしない(例えば、洗浄を2回から1回に減らしても効果が同じなら1回分減らす、そうでないなら減らさない)。実際、同社の歩留まりは非常に高く、「顧客は(ウェハレベル)テストのコストを省くことが出来る。ほとんどそのままパッケージングに回している。TSMC は価格が少し高いが、良品率が高いので、実際のチップ単価は比較的低くなる」とのことである(tsmc-ir-3)。<sup>15</sup>

同様に UMC では、「品質、生産性、コストは其々満たすべき要求がある。3者が衝突しないときは、当然3つをすべて考慮する。もし衝突するときは、絶対品質重視」だと

---

<sup>14</sup> 例えば、伍(2006, 第四章)によれば、TSMC は次の3段階を経て成長したという。①1987～1995年: 低コスト集中戦略の時代—技術力も生産能力でも特別の優位性はなかったが、専門ファウンドリの草分けとして、低コストと専門の利点を活かし、競合もなく成長軌道に乗る。②1996～2001年: コストリーダーシップ戦略の時代—プロセス技術の進展では、当初、国際半導体ロードマップ委員会の技術ロードマップより落后していたものの、急速にキャッチアップし1999年以降(0.18～0.13 $\mu\text{m}$ )は業界標準より先行。UMC との間で本格的な競争が始まり、生産能力拡充と積極的受注への動きが刺激された。この時代の主な競争優位の源泉は、規模の経済に基づくコスト優位性である。③2002年以降: 差別化戦略の時代—2002年以降は、TSMC (および UMC) はプロセス技術では IBM や富士通等の先進国の一線級企業と比べるとやや落后するもののコスト的には優位にあった。

<sup>15</sup> 例えば、TSMC の FAB12A では、Fab yield (工場の良品率=歩留まり)は99.5%(即ち、100枚のウェハを投入して、破損・廃棄するのは0.5枚)、Circuit probe (CP) yield (ウェハ1枚当たりのチップの良品率)では、「全ウェハの73%では、CP yield は95%以上」である(tsmc-ir-3)。なお、伍(2006, p.226)によると、TSMC の価格設定は、成熟したプロセスではウェハ単位だが、先端プロセスではチップ単位であるという。後者では歩留まりが未だ高い水準で安定しておらず、ウェハ単位にすると顧客に損失を与える恐れがあるからである。

いう。台湾企業は相対的に生産性とコストを重視するという説について、「かつては本当にそうだった。しかし後にそれでは引き合わないことが分かった。それで何度も損をした」のだという。その結果、現在では、所謂「品質コスト」(cost of quality)を考慮し(即ち、当初コストが低くても、品質が低く返品があった場合、全般的には結局コスト高になる)、もし品質に問題が起きそうな時は、コスト削減より品質を絶対的に重視する。そして、近年、同社内では、用途を問わず、全ての製品に車載用の厳格な品質基準を適用することが要求されている。

さらに UMC での面談では、「顧客が関心を持つのは、安定性、特に歩留まりの安定性、さらにサイクルタイム。業界のデータを見ると中国のファウンドリは、この点依然劣っている。このためには企業内で多くのインフラ(仕組み)の構築が必要で、その後徐々に改善する。時間がかかり、ノウハウも必要。価格以外に最後は、こうした点が問題となる」と指摘された(以上、umc-ir-3)。このように、中国等の二流以下のファウンドリ競合と差別化するためにも品質の安定性は不可欠の要素であり、しかもそれは一朝一夕に実現できることではないのである。

他方、日本企業については、例えば大手半導体メーカーS社では、システムLSIではウェハプロセスの時間がTSMCと比べると1.5~2倍ほどかかる。プロセス・エンジニアのこだわりで、フォトマスク枚数が増え、これが過剰品質となり、日数およびコストの増加に繋がっているという(japan-ir-3)。そもそも価格決定でも、世界の競合は先ず市場価格があってそこから目標コストを算出していくという思想であるのに対して、一般的に日本企業は、コストプラス法(製品コストに一定の利益率を付加して販売価格を決定する方法)の思想が根強く染みついており、競争力の劣化に繋がっているという(japan-ir-4)。同じ品質重視でも、コストや生産性も含めた全体最適を戦略的に考慮した上で出てきた方針ではなく、組織慣性の結果という印象が強い。

以上を見る限りでは、大手台湾ファウンドリは、最先端の製造装置とICT管理システムのタイムリーな導入という有利な条件に助けられただけでなく、品質、生産性、コストの面でも継続的な改善努力を行う姿勢があり、日本企業の多くと対等あるいはそれ以上であった可能性が高い。しかも、ファウンドリはプロセスと生産能力そのものが売り物であり、こうした指標の改善は職人芸的に個々バラバラに行われているのではなく、顧客の基本的な関心(安定した品質、迅速な納期、コスト低減)に応えるために、常に優先順位やリソースの配分を考慮し、全体最適化を戦略的に突き詰めてきた結果であると考えられる。これは専門ファウンドリとしての長年にわたるノウハウ蓄積の結果であり、他社が容易に追いつけぬ持続的競争優位の源泉となるであろう。

## 2.4 インテグレーション・エンジニアの役割

こうした卓越した生産システムの直接的な担い手は、先ず、開発部門や各工場のエンジニアである。半導体エンジニアにも幾つか種類がある。分類の仕方によるが、例えば、

半導体製造に関する技術には以下の3種類があり、其々を担う人員がいる。即ち、①要素技術 (elemental technologies。成膜技術、リソグラフィ技術、エッチング技術など半導体製造工程を構成する最小単位の技術であり、要素技術ごとにそれを実現する装置がある)、②インテグレーション技術 (integration technologies。要素技術を組み合わせ、集積回路をシリコンウェハ上に形成するための工程フローを構築する技術)、③生産技術 (production technologies。インテグレーション技術によって構築した工程フローに従って、シリコンウェハ上に、目標とする品質の半導体を作りこみ大量生産する技術で、歩留りが重要な指標となる)、以上である (湯之上, 2009, 第1章)。

このうち、インテグレーション技術については社会科学者の間では従来あまり注目されて来なかったという。即ち、日本の DRAM メーカーの事例を詳細に分析した鈴木・湯之上 (2008) によれば、無数にある要素技術の組み合わせから、目標スペックを満たし完全動作するデバイスの工程フロー (例えば、DRAM では工程数は数百にも上る) を、短期間・低コストで構築できるかどうかは鍵であり、それを担うのがインテグレーション・エンジニアなのだという。なお各工程の製造仕様書の内容 (使用する薬液類、処理方法や温度・圧力などのパラメータを指定するデータ) を「レシピ」と呼ぶ。1990年代以降になると装置メーカーが基本プロセス (レシピ) の提供も行うようになり、しばしば装置を購入しさえすれば半導体製造が容易に出来ると言われていたが、実際は、基本プロセスをそのまま使用してまともに動作するデバイスを作ることは出来ない。各メーカーのインテグレーション・エンジニアが、自社の要素技術者および装置メーカーや材料メーカー等と密接に協力し調整しながら、自社の最適プロセスを開発する努力が不可欠である。設計部門と工程開発部門の間でも常に衝突が見られ、その調整に熟練を要する。不具合の発生に対しては、軽微な修正で済む場合もあれば、相当離れている工程間またはモジュール間で相互に影響し合うような複雑なケースもあり、それを見抜くためには全ての要素技術に精通している必要がある。場合によっては、設計のやり直し、フォトリソマスクの作り直しも要求される。また、インテグレーション・エンジニアは、開発センターと量産工場の其々において、前者で構築された基本的な工程フロー (ウェハ上に最低1個は完全動作する半導体を作れるもの) を基に後者では高歩留まりを実現する工程フローに改良していくのだという。当然その巧拙により最終的な工程フローの長さ、歩留まりやその立ち上げの速さ、ひいては製品の性能・品質とコストも左右されることとなる。

さて筆者の台湾での現地調査によれば、TSMC においても、「GLOBALFOUNDRIES 等も同じ装置を購入できる。しかし、良品率は異なる。インテグレーション出来るかどうか重要」との発言が聞かれた (tsmc-ir-3)。即ち、1990年代後半以降の大モジュール複合装置の登場により調整ノウハウがある程度装置に体化されることとなったとはいえ (立本・藤本・富田, 2009)、インテグレーションの巧拙は依然ファウンドリ競合間で業績格差の要因の1つとなる程度には重要ということであろう。TSMC には、インテグ

レーションと名のつく職種は様々な部門・階層にあるという。研究開発部門のエンジニアはそこで開発された技術や工程フローを工場に移すことが仕事で、製造部門のエンジニアはこれを量産ベースに乗せるのを任務としており、上に引用した日本企業のケースと基本的に同様である。またインテグレーション・エンジニアは、ある技術について直接顧客の技術者とコミュニケーションし生産上の問題解決を図ることも担当している。<sup>16</sup> 筆者が訪問した TSMC の新竹科学園区工場 (FAB12A) では、エンジニアは次の3つに分類されている。即ち、①設備・予防保全担当エンジニア、②プロセス・エンジニア (レシピのファインチューニング、統計的工程管理チャートの監視、プロセスのチェックを担当)、③インテグレーション・エンジニア (歩留まり向上、顧客との窓口役を担当)。エンジニアの総数は約 1,500 人で、①～③の人数比率は概ね 6 : 3 : 1 である。エンジニアの大部分は修士号保持者である (製造部門では 7 割、開発部門ではさらに高く、ほぼ必ず修士以上)。

UMC においても、インテグレーション・エンジニアの主要任務は品質 (歩留まり) 改善であり、より前段階での顧客との打ち合わせ、規格の決定、工程フローの開発も担当している。厳密には、インテグレーション・エンジニアは開発部門と製造部門 (工場) の其々において、開発部門のエンジニアが顧客と規格について打ち合わせをし、開発した工程フローの歩留まりが一定レベルに達した後、工場のエンジニアに引き継ぐ。工場では、歩留まりを顧客の要求水準 (以上) まで引き上げる、という流れである (umc-ir-3)。

このように台湾ファウンドリにおけるインテグレーション・エンジニアは、工程フローの開発に加え歩留まり向上、顧客との窓口役が主な任務である。このうち、ファウンドリにとっての顧客は IDM では主に社内の設計部門に相当するのであろうから、上の日本 DRAM メーカーにおける設計部門と工程開発部門との間の調整任務とほぼ同じである。ただし、この調整の必要性と難易度では、SoC より DRAM の方が大きいらしい。DRAM やフラッシュメモリでは、プロセスと同時に設計のことも分かっていないとうまく調整出来ないが、SoC では、主にトランジスタと配線の性能しか顧慮されず、そのためファウンドリに製造委託しやすいのだという (鈴木・湯之上, 2008, pp.119-120)。筆者の聞き取りでは、ファウンドリにおける設計と製造の擦り合わせについては、顧客が TSMC のデザインルールを踏まえて設計している限り、多くの問題は事前に解決済みである。また、EDA ツールを使えば、「製造容易性設計」(DFM : design for manufacturing) 技術による良品率向上に向けた提案を受けられる、と聞いた (tsmc-ir-2)。加えて、顧客とのインターフェイスの一部として、ウェブベースの設計共同作業ツールが導入され、顧客側の IC 設計者とファウンドリ側の技術者の間で、会話型オンライン・サービスにより詳細な技術的詰めが実行できるようになっている。離れた場所からでも関係する技

---

<sup>16</sup> 全ての製品の各々について、必ずしも 1 人のインテグレーション・エンジニアが付きっきりでプロセスを管理する訳ではないが、最終的には、製品毎に 1 人の「オーナー」と呼ばれる担当者がおり、その生産全体に責任を持つという。



術者が同一のデータベースを見ながら頻繁にコミュニケーションできるため、打ち合わせ時間の大幅短縮と人為的なレイアウト・ミスが実現される (Chang, 2001)。顧客向けツール開発に関しては、設計支援のエンジニアが別におり、ある意味インテグレーション・エンジニアの任務を一部分担しているとも看做せよう。この面では、ファウンドリのインテグレーションの任務は、IDM の DRAM メーカーのそれに比べやや限定的ともいえる。

## 2.5 研究開発部門と量産部門の関係

この他 TSMC および UMC の生産ラインで特徴的なこととして、基本的に両社とも研究開発のための専用ラインを設けず、大部分は工場の量産ラインを借りて実施していることがある (tsmc-ir-3、umc-ir-3)。こうすることで、装置の使用効率が高くなる (研究開発専用ラインだと稼働率が低くコスト高になる)、量産対応が迅速にできる、出来るだけ既存の装置とレシピを活用することで他のプロセスとの相性も良くなる、といったメリットがある。ただし、近年、先端的なプロセスの開発に当たっては、一部の非常に新奇的な装置 (例えば、極端紫外線 [extreme ultraviolet : EUV] 露光装置) は研究開発専用に導入せざるを得ず、その他は量産ラインとの共用という混合方式になってきているという。<sup>17</sup>

他方、これに関連する日本半導体企業の取り組みについて、坂本 (2013) によるエルピーダの広島工場の事例 (米 Micron Technology による買収以前) が参考になる。

- ・ エルピーダの広島工場では、開発と生産 (量産) が一体となって取り組まれており、そのためスピードが速く、輸送チーム (開発拠点で開発した量産技術や設備を各地の工場に運び込むための) は不要で、余計なコストはかからないという。ただし「これは、日本の半導体産業では珍しいケースです。」とある (同, p.100)。
- ・ また同工場には設備の世代交代を加速する仕掛けがある。即ち、微細化が進んでも製造設備の一部のみを入れ替えるだけでよいように設計しておく。現行世代の設備はそのまま、それと並行して一部に次世代設備を設置する (「生産ラインのバイパス化」と呼ぶ)。初めは原材料のごく一部を次世代設備に流して試験し、徐々に信頼性を高めながらその割合を増やし、やがて次世代設備へ完全に切り替える。このようにしてコストを抑え、スムーズに切り替えを進めることが出来るが、これも開発と生産を 1 ヶ所で行っているからこそ可能になるという (同, pp.101-103)。
- ・ 加えて、エルピーダの広島工場では天井搬送を導入しており、このメリットは「モノを運ぶための動線を地上に確保する必要がなくなることで、設備レイアウトの自

---

<sup>17</sup> TSMC の FAB12 の工場管理者によれば、そこでは研究開発部門と量産部門の両方があり、研究開発部門から受け取った技術を成熟させ、量産スキルを確立し、他の量産工場にトランスファーすることが任務であるという (tsmc-ir-3)。

由度が大幅に増すということです」。<sup>18</sup> 上述の生産ラインのバイパス化が可能となったのもこのイノベーションのためであるが、これを最初に編み出したのは台湾の半導体工場であるという（同, p.125）。

以上、エルピーダの広島工場の事例を同社元社長の坂本幸雄氏の著作に基づき紹介したが、これは当時の日本では先端的な取り組みであると看做される。これまで紹介してきた台湾ファウンドリの取り組みと類似しているが、台湾の方が先行していたらしい。かつて UMC の日本子会社（UMC ジャパン）の社長も務めていた坂本氏は、このことを認め「生産技術の面では、台湾企業のほうが日本企業よりも進んでいます」と述べている（同, p.125）。

ところで、湯之上（2009, 第3章）によれば、日本半導体メーカーでは、開発部隊と量産部隊が組織的に明確に分離されており、開発部隊は、開発センターで構築した工程フローを出張対応等で量産工場に移管したら仕事は終わりで、歩留まり向上やコストへの意識は希薄である。また多くの日本メーカーでは、組織の分業化、縦割り化が進み、おまけに階級意識（研究部、開発部、量産部の順にステータスが高い）があり、コストまで含めた全体最適化が実現でき難い組織構造になっている、と指摘される。<sup>19</sup>

他方、上述のように、TSMC および UMC においては、研究開発部門は工程フロー開発の専用ラインを持たず大部分量産ラインを流用しており、量産担当技術者との垣根は高くないと推測される。例えば TSMC では、研究開発部門エンジニアのほうが製造部門エンジニアより高学歴者（修士号以上、特に博士号保持者）の割合はやや高いようだが、その間に「階級意識」はなく、工場側にも多くの博士号所持者がいる。また両部門の間で必要に応じて密接な連携もあるという。例えば、かつて 40nm プロセスの量産歩留まりの立ち上げが遅れた際、経営トップの号令で、既に次世代プロセスの開発に配置されていた研究開発人員を引き戻し、40nm の良品率アップに当たさせたことがある（tsmc-ir-2、tsmc-ir-3）。<sup>20</sup> ファウンドリはただ製造できるというだけではなく、高い水準の歩留まり、生産性を構築することに全社的に取り組んでいることが窺われる。

---

<sup>18</sup> 従来は、床上を走るウェハ自動搬送用ロボットを使用していたが、安全性を考慮して輸送スピードが遅く、スペースも大きく取る必要があった。これを天井搬送に切り替えることで、広島工場では、ウェハ搬送速度が速まり生産速度も向上した。また装置と装置の間隔を狭めて、従来に比し 20%前後多くの数の装置を設置できるようになったという（中島, 2007）。

<sup>19</sup> ただし、国内半導体業界 OB によれば、「階級意識」については、日本メーカーでも企業ごとに状況が異なり一般化は出来ないという（japan-ir-2）。別の国内業界 OB は、「階級意識」は、(伝統的な) 米国企業の方が根強く、日本企業は相対的に軽度な方であるという。TSMC のようなアジア後発企業は、同じ米国企業でも西海岸のベンチャー的カルチャーの影響を受けたのだろうと指摘する（japan-ir-1）。

<sup>20</sup> TSMC は 40nm 世代で初めて液浸 ArF 露光技術を導入した。ところが、液浸水に含まれる微小な気泡などの影響によって当初歩留まりが思うように向上せず、このため、ある顧客（グラフィックス LSI メーカー）は製品出荷が遅れる事態となったと報じられる（木村, 2010）。

## 2.6 オペレータの役割の変化

生産ラインの直接的担い手として、エンジニアに並んで工場オペレータ（技能者）の役割も重要である。台湾ファウンドリの工場オペレータの技量や管理についてのまとまった情報は入手困難であるが、幸い中馬（2002）による UMC 日本子会社（UMC ジャパン）の工場視察レポートが参考になる。これによれば、同社は日本の同業他社と比べ、生産効率（サイクルタイム、歩留まり、1人当たり労働生産性、生産能力、装置稼働率など）の高さが際立っている。この卓越した生産システムを支える仕組みとして、①継続的な改善意欲を生み出す基盤、②目で見える生産管理指標、③高度な教育・訓練システム、④高品質化のための自主検査システム、⑤技能者とエンジニアの対等な関係、の5つがあるという。①と②については、上述の CIM を活用し、管理者だけでなく末端のオペレータに至るまでライン状況が容易に理解できる生産管理指標（達成率表、仕掛在庫レポート等）が提示され「目で見える管理」が実施されている。即ち、各自にとっての今日の作業目標、各時点での目標と実績の乖離、乖離の発生原因、その解消に向けた対処、今日の仕事の評価、等が分かるようになっている。その結果、オペレータが急なロットの挿入による工程の乱れを調整できるほどになっている。同業他社では、この作業は組長やホット・ロット専用班が担っていることが多い。

また、彼らの問題発見能力や解決能力を高めるために、同業他社を圧倒する極めて包括的な教育・訓練システムが導入されている（③）。とりわけ「装置技能員」や「工程技能員」という2種類の社内資格が存在し、「装置技能員は主にプロジェクト・マネジメントや装置ダウン時の突発的対応を、工程技能員は主にプロセス起因の問題解決や条件出しなど、エンジニアの領域まで踏み込んだ高度な作業を行っている。」「同業他社では...技能者がプロセス（製品）に起因する問題を独自に解決しているようなケースは極めてまれだと思われる」（中馬, 2002, pp.68-69）。

高品質化のための自主検査システム（④）については、同社には品質管理のエンジニアはおらず、各工程内の検査は現場の技能者によってほぼすべて行われる。品質は工程で作り込むことに徹するもので、同社の製造部門の特徴的な部分である。その中心には「スーパーインスペクタ」と呼ばれる技能者（ほとんどが工程技能員の資格を有する）が存在する。また、キラー欠陥の症状が出た場合、工程技能者の権限で装置が止められる。製品仕様を外れた場合は、標準作業書に従ってチェックが行われ、昼間ならプロセス・エンジニアと共に、夜間・休日なら工程技能員が独自に原因を追究する。

最後に、技能者とエンジニアの対等な関係（⑤）も同業他社と大きな違いである。自動車や工作機械産業と違って、一般に日本 LSI メーカーでは、エンジニアは技能者より上位という意識が根強いのだが、UMC ジャパンでは異なっている。例えば、同社では、エンジニアが工場で実験ロットを流す際の依頼も製造側の技能者とその受け入れの可否を実質的に判断し却下することもある（同業他社では、依頼は半ば自動的に認められる）。処遇に関しても、「ジョブ・グレード制度」があり、技能者でもエンジニアでも同

じジョブ・グレードなら給料に差がつかない仕組みとなっている。さらに技能者とエンジニアが会社のミッション・ゴールを共有するよう仕向ける工夫もなされている（全員参加型の「製造朝礼」）。

以上を踏まえ、中馬は、同社の強さは、「装置関連のみならず製品関連のトラブルのかなりな部分を自分で解決できる強力な技能者達を保有している製造部門にあることが浮き彫りになった。」（中馬, 2002, p.71）と結論している。ここで紹介した UMC ジャパンの取り組みは、2000 年代初頭の状況であり、また UMC の本拠地台湾の工場の仕組みをそのままコピーしたものかそれとも日本子会社独自の工夫（もしくは制約）が加わったものであるのかは定かでないが、<sup>21</sup> 少なくとも、当時の日本半導体メーカーの多くと比べ、台湾ファウンドリが生産ライン運営のノウハウにおいて既に先行していたことが窺われる。

この点に関して最近の状況はどうであるのか、筆者はこれに匹敵するような詳細な情報は持ち合わせていないが、UMC 本社での聞き取り調査より少なくとも次のことは確認できた（umc-ir-3）。先ず、既に述べたが、最近でも生産ラインの管理のために CIM システムが引き続き活用され、頻繁にアップグレードされている。こうした ICT 管理システムによってオペレータのスキル向上も図られ、オペレータからの改善提案も提出できるようになっている。次に、生産ラインのオペレータとエンジニアの間で密接なコミュニケーションや協力もなされている。エンジニアが工場現場での仕事のためにオペレータに協力を要請することも多く、逆に、オペレータは装置ごとに定められたその日の生産目標を達成するためにエンジニアの支援を必要とすることもある。これは、上でみた 2000 年代初頭の UMC ジャパンの状況と基本的に一致するものとみられる。

他方、大きな違いもある。中馬論文では装置および製品関連のトラブルのかなりの部分を自分で解決できる技能者のスキルの高さを強調していたが、筆者の訪問調査によると、現状では、装置であれ製品であれ生産ラインに問題が生じた際は、必ずエンジニアが来て対処しなければならない。オペレータには問題を処理する権限・責任がなく余計なことをしないのが最善であるとはっきり教えているとのことである。確かに、早い時期には上の UMC ジャパンの記事のように、オペレータによるトラブル処理が一定程度許され、熟練技能者が経験の浅いエンジニアより迅速に問題に対処できることもあるため柔軟性向上に貢献していた。しかし、その後、オペレータは深く入り組んだ問題は解決できず、手を出すとかえってミスが増えることが判明し、仕組みが変更されたのである。技術の複雑さがある水準を超えると、責任・権限のあいまいな領域があることが柔軟性よりも不安定性に繋がるということであろうか。品質作り込み（自主検査）やアンドン（自主的ラインストップ）などの現場作業者の技能に頼る仕組みの多い自動車産業

---

<sup>21</sup> UMC ジャパンの前身は日鉄セミコンダクターで、1998 年に UMC がその株式の過半数を取得し社名を UMC ジャパンに変更した。

とは性質が違うようである。特に最近、顧客の品質要求水準が非常に高く、国内外のセカンドクラス以下の競合ファウンドリとの差別化を図るためにも、UMC や TSMC のような大手は生産ラインの安定性確保に向けた努力を強化しているという。

筆者は TSMC 訪問時にも同様の質問をしてみたが、やはり、生産ラインの問題には基本的に先ずプロセス・エンジニアが来て対処するのだという。筆者が視察した新竹科学園区の工場 (FAB12A) では、エンジニアとオペレータの人数は各々大体 1,500 人と 1,000 人で、前者の方が数的にも多い。FAB12 以降の新鋭工場の場合、工場は高度に自動化され、クリーンルーム内にはごく少人数の装置の設置・保守・改善担当者しかおらず、装置とプロセスの進行は生産コントロールルームからリモート制御されている (tsmc-ir-2、tsmc-ir-3)。<sup>22</sup>

もっとも自動化されたからといって、オペレータの貢献が軽視されている訳ではない。例えば TSMC では、生産システムの完全自動化推進と並行し現場での TPM (total productive maintenance) や TQC (total quality control) 活動も非常に重んじられている。面談によれば、「不断の改善が 1 つの企業文化」になっており、「ある製品が量産に入ったら、これは最良の方法だからこれ以上変えない、というのではなく、出来る限り方法を考え継続的に改善する」のだという。博士号を持つエンジニアから高卒のオペレータまで、如何なる人員も改善案を出す。常々コンテストが催され、品質・生産性向上に寄与した者には賞金が出される。現場作業員も日々作業に従事しその生産プロセスに精通しており改善に貢献しているのだという (tsmc-ir-2)。

### 3 TSMC のプロセス技術開発

本節では、TSMC のプロセス (関連) 技術開発について解説する。本稿末の付表 1 は過去 10 年ほどの同社の研究開発の主な成果を分野ごとに整理したものである。同表から、少なくとも、TSMC の研究開発の主な分野・項目、その経年変化、各分野での年ごとの主要な成果が具体的に理解できる。他方で、同表だけでは各研究分野の意味内容や技術的課題は分かり難い。そこで、以下では、先端プロセス (リソグラフィ、フォトマスク技術を含む)、特殊プロセス、配線/パッケージ、先進トランジスタの各項目について、こうした観点から解説する。付表 1 を参照はするが、表中の記述 (特に技術用語) を逐一説明することはしない。また、技術開発や業界の最新動向を詳細に解説することに重点があるのでもない。あくまでも、半導体技術・業界の専門ではない読者を意識し、

---

<sup>22</sup> 約 1,000 人のオペレータは 4 つの班に分かれ、シフトする。即ち、1 つの班は 1 日 12 時間勤務 (昼勤務班と夜勤務班がある) で、これを 2 日した後 2 日休む。なお、筆者は生産コントロールルームの 1 つを視察したが、中には数十名の (大半は若い感じの) オペレータと幾人かのエンジニアがおり、各人コンピュータ・モニターを見ながら監視作業にあたっていた。オペレータの学歴は大体、高卒か大卒で、各人員は入社後約半年の訓練を受け、簡単な独立作業をこなせるようになるという。特に自社オペレータのスキルの高さを誇示するような発言は聞かれなかった。

各項目の技術の内容と進歩の基本的方向性を概観したうえで、当該分野における TSMC の取り組み、その特徴と成果を出来るだけ分かりやすく解説することが狙いである。なお、技術用語の説明や具体的事実関係については可能な限り注で言及する。

### 3.1 先端プロセス開発

ここでは TSMC の先端 CMOS (complementary metal oxide semiconductor、相補型金属酸化物半導体)<sup>23</sup> ロジック・プロセス開発への取り組み、およびそれと関係の深いリソグラフィ、フォトマスクでの技術開発について検討したい。

#### (1) 先端 CMOS ロジック・プロセス

プロセス世代を進化させることは、先進的顧客のニーズを満たしオーダーを確保するためだけでなく、ウェハ当たりの収益を向上させるためにも不可欠である。<sup>24</sup> ファウンドリは、初期には、先進国 IDM と比べて技術力でも生産能力でも特別の優位性はなく、低コストと専門の利点を活かして成長していった。この頃、台湾ファウンドリは製造技術的には先進国 IDM に比べ一段低く見られていた。これは日米欧の先進的 IDM が開発した製造技術が製造装置に体化され、ファウンドリは自前の研究開発をあまりせず、一定のタイムラグの後その装置を購入し最先端より少し遅れたデバイスを安価に製造する戦略をとっていたためである。しかし、その後自社での先端プロセス技術開発に注力し始め、TSMC については、1990 年代末 (0.18 $\mu\text{m}$  世代) には世界の大手メーカーに追いついたといわれる (Tseng, 2000)。また 2000 年代初頭には、CMOS ロジック・プロセスでは、TSMC や UMC は既に日本メーカーを凌駕したといわれるようになった (大石, 2001)。かつては、DRAM がプロセス・ドライバであったが、2000 年代に入ると、マイクロプロセッサ、GCU、DSP、FPGA といったロジック製品が積極的に最先端製造技術を使うようになった。むしろ TSMC や UMC が主戦場とするシステム LSI こそ、最先端の微細加工技術を採用して集積度を高めるニーズがあるとも言える。このころシステム LSI の応用製品として、PC・周辺機器産業が成長し、さらにそれに続いて、デジタル家電や携帯・モバイル機器の市場が立ち上がってきた。こうしたことが、TSMC のような大手ファウンドリの先端プロセスへの挑戦を刺激したのである。

表 2 は TSMC のプロセス世代進化の歴史 (各世代の量産開始年) を示したものである。台湾ファウンドリ二番手の UMC、および先進企業の代表として Intel のデータも参考までに掲載している。先端プロセスの量産立ち上げ時期についても、TSMC は世界の

<sup>23</sup> CMOS は製造しやすく、微細化が大きく進展した。これにより、高集積化、低消費電力化、高速化、低コスト化が実現でき、とりわけデジタル回路には大きな恩恵をもたらす。そのため、1980 年代以降、IC の主流となっている。

<sup>24</sup> 例えば、1 枚のウェハの価格で、0.13 $\mu\text{m}$  プロセスは 0.18 $\mu\text{m}$  プロセスの約 2 倍であるという (伍, 2006, p.231)。

先端企業とほぼ並んでいる。表 2 から、時々の先端プロセス開発において、TSMC は 1987 年の創業後数年間、Intel と比べ、1.5 $\mu\text{m}$  から 1.0 $\mu\text{m}$  までの世代では 2~3 年の遅れがあったものの、1990 年代以降の 0.8 $\mu\text{m}$  世代からはほぼ同時かせいぜい 1 年遅れで追走してきたことが分かる。他方、UMC は（1995 年に専業ファウンドリに業態転換）、0.35 $\mu\text{m}$  世代（1996 年量産開始）から 65nm 世代（2006 年量産開始）までは TSMC とほぼ同時期であるが、その後、遅れを取るようになったことが分かる。TSMC はファウンドリ業界のリーダーとして、先端プロセス開発でも先陣を切ってきたが、これは同社の高い収益性と次世代技術開発への継続投資の実現に大きく寄与している。<sup>25</sup>

表 2 TSMC と Intel、UMC のプロセス世代進化の歴史（各世代の量産開始年）

	1.5 $\mu\text{m}$	1.2 $\mu\text{m}$	1.0 $\mu\text{m}$	0.8 $\mu\text{m}$	0.6 $\mu\text{m}$	0.5 $\mu\text{m}$	0.35 $\mu\text{m}$	0.25 $\mu\text{m}$	0.22 $\mu\text{m}$	0.18 $\mu\text{m}$
Intel	1985	—	1989	1991	1993	—	1995	1997	1998	1999
TSMC	1988	1989	1991	1992	1993	1994	1996	—	—	1999
UMC	—	—	—	—	—	—	1996	1997	—	1999
	0.13 $\mu\text{m}$	90nm	65nm	45nm	40nm	32nm	28nm	22nm	20nm	14nm
Intel	2001	2003	2005	2007	—	2009	—	2012	—	2014
TSMC	2001	2004	2006	2007	2008	—	2011	—	2014	
UMC	2002	2004	2006	2009 (45/40nm)		—	2014			

注) 「—」は情報不足で確認できなかったことを意味し、「\」は本表作成時点（2015 年 3 月）でまだ量産開始されていないことを意味する。

出所) TSMC（各年版 a）、UMC（各年版）、大原（2014a）等に基づき筆者作成。

TSMC の先端ロジック・プロセス技術開発について、付表 1、表 2 およびその他の関連資料から読み取れる特徴をあげるなら、第 1 に、同社は、常に 2~3 世代のプロセスを並行して扱っており、1~3 年ごとに次世代の量産立ち上げを実現してきていることである。TSMC では、後に触れるようなミックスド・シグナル、埋め込みメモリ、CMOS イメージセンサー等の特殊プロセスごとに技術開発チームを設け、先端ロジック・プロセスに関しては 2 つの技術世代を 2 チーム体制で同時に開発しているという。例えば、1 つのチームが 90nm プロセスの開発を完了する前に、既に別のチームが 65nm プロセスの開発に着手しており、90nm の開発チームは任務完了後 45nm の開発に着手するといった具合である（Chiang, 2005）。なお、1 つのプロセス世代には通常いくつかのオプションがあり、それを迅速に提供するのも課題の 1 つである。<sup>26</sup>

<sup>25</sup> 例えば、表 2 に示されるように、28nm 世代の量産立ち上げ時期で TSMC は 2011 年、UMC は 2014 年と差がつき、米 GLOBALFOUNDRIES のような他の大手ファウンドリも開発に手間取ったため、この間に 28nm 市場で TSMC がほぼ独占状態となった。Qualcomm や Apple などの顧客にスマートフォンやタブレット端末などの通信機器向けの 28nm チップを提供していたのは TSMC だけであった（Patterson, 2014）。同社がその後のプロセス世代の開発を順調に進められているのは 28nm 世代で獲得した莫大な収益のお蔭であるという（iek-ir-1）。

<sup>26</sup> 例えば、TSMC の 28nm 世代には、high performance (HP)、low power (LP)、high performance low power (HPL)、high performance mobile computing (HPM) の 4 つのオプションがある。HP は最高性能を発揮するためのプロセス、LP は最小のスタティック消費電力（待機

本格的な量産のためには歩留まりの改善を速やかに行う必要があるが、製造容易化設計 (DFM) の強化が不可欠となっている。DFM とは、製造歩留りを下げている原因を突き止めて設計にフィードバックし、設計の段階であらかじめ製造とテストが容易になるよう設計データを最適化することである。TSMC は IDM ではないがその研究開発部隊は設計技術者も多数抱えている。加えて EDA ベンダーや IP プロバイダーとの協力により、TSMC が提供したプロセス情報を同社の認定を受けた EDA ツールに読み込ませ、設計した回路がきちんと形成されるかを高い精度でシミュレーションすることが可能となり、65nm 世代以降での歩留まり改善に寄与している (木村, 2006)。

第 2 に、TSMC は、従来、他のファウンドリに比べプロセス技術の自前での開発比率が高いと言われている。例えば、0.13 $\mu\text{m}$  世代の開発で、TSMC は基本的に自社開発の道を選んだのに対して、ライバルの UMC は IBM と独インフィニオンとの共同開発計画「WorldLogic」に参加する道を採用した。結果的には、TSMC は自社開発に成功し開発時期で先んじ (2001 年に量産開始)、他方、UMC は技術的なボトルネックに会い十分な成果が上がらず、共同開発に関連する調整のため研究開発人員を疲弊させただけで TSMC に後れをとる結果となった。これが TSMC と UMC の業績が開き始めた 1 つの転機ともいわれる (伍, 2006, pp.237-244)。TSMC が自社開発にこだわるのは、自社で技術開発のスピードを管理し、顧客製品のスケジュールに合わせてタイミングよく技術を提供することが必要なためである。また、自分たちの技術レベルを高め、人材育成にも繋がるといった長期的な戦略に基づく。ただし、世代進化に伴う開発負担の増大に対処するため、Philips (2006 年に半導体部門が分社化し NXP となる) や STMicroelectronics、Freescale といった欧米の大手メーカーとアライアンスを締結し、米 International SEMATECH やベルギーIMEC のような国際的な研究開発コンソーシアムへも参加している。同時に新しい技術に移行する際に、出来るだけ現行技術 (既存装置) を再利用することで投資負担を軽減している (Chiang, 2005)。もっとも、コンソーシアムを利用する場合でも、自主開発重視の基本姿勢は変わらないとされる。<sup>27</sup>

第 3 に、先端プロセスの開発では、顧客や他のパートナーとの連携も必要とされている。特にテクノロジー・ドライバとなる先進的な顧客との協力は、技術開発と量産立ち上げの早期開始のためにも重要で、次世代プロセス開発の際は数年前から主要顧客と接

---

時に消費される電力) となるプロセス、HPL は HP をベースにスタティック消費電力を低減し性能とのトレードオフを考慮したプロセス、HPM は HP よりも性能を向上させつつ LP と同等のスタティック消費電力を達成するプロセスである (堀内, 2011)。オプションの迅速な提供のためには、プロセス開発の計画段階でオプションモジュールをどうやって統合できるかをきちんと考慮しておく必要がある (後藤, 2001a)。ただし、TSMC の 20nm プロセスでは、微細すぎてオプション間の性能差がほとんど出ないため 1 種類しかない (McGrath, 2012)。

<sup>27</sup> TSMC では、技術開発コスト抑制のため、量産が始まる 2 年前までコンソーシアムを利用するが、それ以降はあえて自前で開発し量産立ち上げ期間の短縮を図っている。その負担を吸収するために一層の大量生産を推進する、とのことである (木村・小島, 2006)



触し、期待される性能について打診する。また顧客技術者の TSMC への駐在や TSMC 技術者チームの顧客への派遣が行われている (tsmc-ir-3)。<sup>28</sup> 顧客との連携による共同開発は 45/40nm 世代の開発 (2007~2008 年に量産開始) に際して一層の強化が図られ、TSMC への助けになっただけでなく、パートナーの顧客にとっても製品の世界初の市場投入を実現でき (例えば、2007 年の Qualcomm による 45nm プロセス採用の 3G 携帯向けチップの出荷、および 2008 年の Altera による 40nm の FPGA 発表)、技術的リーダーシップと市場シェアの確保に寄与した (TSMC, 各年版 a の 2008 年版, p.48)。加えて、プロセス世代が進めば進むほど、その開発・製造にかかるコストを回収するのに必要な IC チップの販売個数が膨大な数となるため、<sup>29</sup> あらかじめ先進的な大手顧客のコミットを確保し、そのニーズを踏まえてから開発を進めざるを得ないという事情もある。そのため、先端世代の量産化が開始される前に、幾つかの顧客を対象に、テストチップ、IP 検証のための試作サービス (CyberShuttle) が実施されている。顧客に加えて、ARM のような主要な IP コアのプロバイダーとの協業もある。<sup>30</sup>

加えて、第 4 に、装置メーカーとのパートナーシップも先端プロセスの開発で重要な意味を持っている。即ち、TSMC は国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors : ITRS) 委員会のロードマップを参考にプロセスのレシピ開発を行っているが、装置メーカーも同ロードマップを踏まえて先端装置開発を行っている。TSMC が高い工程開発力を発揮する基本的源泉の 1 つは、先端プロセスのためのレシピ開発に高価な先端装置をタイムリーに購入出来ることである (立本・藤本・富田, 2009, pp.242-243)。図 4 は半導体プロセスの各世代とそれをフォローする半導体メーカーを示したものだが、世代が進むにつれて、技術的・投資金額的に難易度が上昇し、次第にごく一握りのメーカーしかフォローできなくなって来ていることが理解される。

装置メーカーにとっても、ファウンドリが販売先として比重を増したことに加え、技術開発面でもファウンドリとの協力が不可欠となった事情がある。即ち、オープン化のためには、複数の装置メーカーが同じ半導体生産ラインを使い装置相互の擦り合わせや試運転をする必要があるが、この役割を担うものとして大手ファウンドリのラインが重きをなすことになる。専業ファウンドリは自社ブランド製品がないため半導体メーカーはライバルではなく、自社ラインから得られた情報を装置メーカーが公表することを厭

---

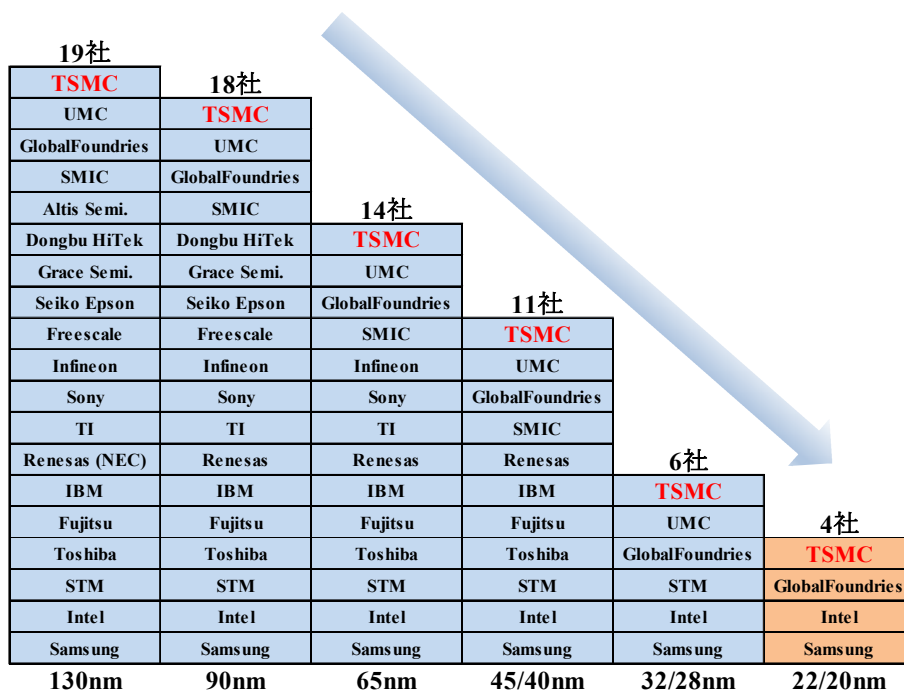
<sup>28</sup> UMC での聞き取りでも (umc-ir-1)、アプリケーションごとに 2~3 社のパートナーを選定し、共同で技術開発を進めていく。パートナーの何社かはファウンドリ内にオフィスを置き、密接なコミュニケーションを保持していると聞いた。

<sup>29</sup> 例えば、32nm ノードでは、開発・製造にかかるコストを回収するには、3,000 万~4,000 万個のチップを販売する必要がある。22nm ノードでは、それが 6,000 万~1 億個になる、との TSMC 幹部による指摘がある (McGrath, 2011)。

<sup>30</sup> 例えば、TSMC は ARM との協業により、CPU コア「Cortex-A72」を手がけた。16nm FinFET プロセス世代をターゲットとしたハイエンド CPU コア IP である。両社は、次世代プロセス技術開発で引き続き協力していく予定であるという (Lipsky, 2015)。

わなためである。これにより装置メーカーの技術開発パートナーの役割においても、IDM からファウンドリに比重が移っていった（西村, 2014）。

図 4 半導体プロセスの各世代のプレイヤー



出所) TSMC 会社説明資料より (2013 年 12 月 6 日付、元データは IHS、iSuppli より)。

## (2) リソグラフィ/フォトマスク

先端プロセス開発と密接に関連する技術として、TSMC はリソグラフィ (lithography) とフォトマスク (photomask) についても独自の研究開発を続けている。リソグラフィとは、フォトレジスト (感光性樹脂) を塗布したウェハ上に、フォトマスク基板に描かれた半導体デバイスの回路パターンを短波長の光を使って焼き付け (露光)、感光した部分とそうでない部分からなるパターンを形成する技術で、微細化の進展に直結するため半導体製造工程の中で最も重要な技術の 1 つとされる。半導体製造装置は概して高価だが露光装置はとりわけ高価で、1 台数十億円ほどもあり他の装置より価格が 1 桁以上高い。オランダの ASML や日本のニコン、キャノンが露光装置の主要メーカーである。TSMC は装置そのものは作っていないが、それを使いこなすための技術・材料について独自の研究開発を続けており、中でも液浸露光 (immersion lithography) 技術へは強いこだわりを持っている。露光では使う光の波長が短いほど解像度を向上でき、微細化の進展とともに短波長化が進められてきた。90nm プロセス以降では ArF (フッ化アルゴン) エキシマレーザー光 (発振波長 193nm) が使用されており、さらに投影レンズとウェハの間を水で満たしレンズの開口数を拡大し解像度を上げる技術として液浸露光が登場

した。液浸露光では、露光波長自体は変更されないため露光関連技術に関する基本材料の継続使用が可能となり新規技術導入のコストが抑えられるのも利点である。

業界で広く普及している液浸露光技術は、実は TSMC の林本堅 (Dr. Burn Lin) 氏 (研究開発副総経理) の研究に拠るところが多い。2004 年、同社は IBM と並んで、業界で初めて ArF 液浸露光の歩留まり改善効果を試作チップにより実証し (ASML の ArF 液浸ステッパーを使用)、その実用化に大きく貢献した。液浸露光には、浸液 (純水) 中のマイクロバブルによる欠陥や純水とレジストが接することによる問題 (レジストへの純水の進入、純水中へのレジスト成分の溶出等)、マスクの重ね合せバラつき増大<sup>31</sup> といった問題がある (木村, 2005)。TSMC は、装置メーカーとも連携しながら、その改善に取り組み、量産への適用において業界をリードしてきた (付表 1 参照)。なお、TSMC は ArF 液浸露光技術を 45/40nm 世代で量産に導入し、28nm、20nm、16nm、10nm と 5 世代にわたって利用する方針である。10nm か 7nm 世代 (以降) では、次世代露光技術である EUV 露光装置や電子ビーム (e-beam) 露光装置の使用が検討されている。とりわけ ArF 液浸露光の次の技術として最有力視されているのは EUV 露光で、TSMC は、EUV の開発を唯一手掛けている ASML から EUV 装置の調達を発表し (2010 年)、それ以降実用化に向けて関連する技術開発を進めている。<sup>32</sup> また ASML の研究開発プログラムに 14 億米ドルを投資しコミットを深めた (2012 年。ASML は同社株式の最大 25% を売却して研究開発資金を調達しようとして計画し、Intel、TSMC、および Samsung の 3 社が資金提供した)。

フォトマスクはリソグラフィ工程で半導体デバイスの回路パターンをウェハに転写する原版として用いられ、石英ガラス基板上に微細かつ精密な遮光膜パターンを形成したものである。通常 1 つの IC を作るのに数十枚のフォトマスクが必要である。フォトマスクの製造自体が「もう 1 つのリソグラフィ工程」と呼ばれるように、まず、ガラス基板上にクロム系の遮光膜を作成し (フォトマスクブランクスと呼ばれる)、さらにその上にレジストを塗布し、マスク描画装置 (電子ビーム、もしくはレーザー光を利用する) で回路パターンを形成する。これに現像、エッチング、レジスト除去という作業が

---

<sup>31</sup> 即ち、重ね合わせ精度の問題。1 つの IC を作るためには、数十回フォトマスクを交換しながら回路パターンを転写しなければならない。このため、シリコンウェハとフォトマスクの位置ずれがないことが非常に重要であり、ナノメートルレベルで位置合わせする必要がある。

<sup>32</sup> 以上のリソグラフィに関する記述は、主に、JEITA (2012, pp.124-127)、木村 (2013)、TSMC (各年版 a の 2008 年版) を参考にした。現状では最先端のリソグラフィは ArF 液浸にダブル・パターンニング/マルチプル・パターンニングなどの多重露光技術を組み合わせた手法が主流だが、ダブル・パターンニングの本格的導入に伴い製造工程数の増加とコスト上昇に繋がり、やがて経済合理性が破綻すると予想されている。他方、EUV は次世代露光技術として長年期待されてきたが、光源の出力不足による低スループットといった難問があり、本格導入は遅々として進んでいなかった (稲葉, 2015)。TSMC は、10nm と 7nm プロセスの一部のレイヤーに EUV を導入しコスト削減する計画である。EUV 技術では、複数のレイヤーを 1 つのレイヤーに置き換えることで製造プロセスを簡易化できることもメリットであり、特に 7nm の歩留まりを上げることが出来るという (Patterson, 2015b)。

続きフォトマスクが製造される。専門のフォトマスクメーカーも存在するが、業界テクノロジー・リーダーである TSMC はフォトマスクの研究開発・製造も自社内で行っている（ちなみに、台湾ファウンドリ二番手の UMC は外部から調達している）。半導体プロセスの微細化進展に伴いフォトマスクの製造も微細加工技術の向上と様々な課題への対処が必要とされる。それには、光近接効果補正（optical proximity correction : OPC）、<sup>33</sup> 超解像技術（resolution enhancement technology : RET）、<sup>34</sup> 液浸露光への対応、ダブルパターンニングへの対応、<sup>35</sup> 次世代リソグラフィへの対応（EUV 露光用マスク）、コスト抑制などが含まれる。<sup>36</sup>

### 3.2 特殊プロセス開発

TSMC の研究開発は、全てが先端 CMOS ロジック技術の開発に向けられているわけではなく、「Mr. ABCD」と呼ばれる特殊プロセスへも相応の注意が向けられている。<sup>37</sup> 前出の図 3 は、TSMC の CMOS ロジックと特殊プロセスの主なものについて、各々、どのプロセス世代が利用可能かを示したものである（2013 年時点）。一般にメモリやアナログなどはファウンドリ・ビジネスには適さないと言われるが、システム LSI を製造する上でしばしば不可欠となっており、TSMC では顧客の様々なニーズに対応できる幅広い技術基盤の構築を進めてきている。<sup>38</sup> このため、TSMC は、特殊プロセスと CMOS

---

<sup>33</sup> LSI の加工寸法が微細化し露光波長と同等以下になると、マスクパターンの形状や大きさ、隣接パターンの影響によって、マスクパターンを忠実にウェハ上に露光できなくなる。この現象を光近接効果という。OPC とは、これに対処するため、変形を見越して、パターンの形状に応じて、パターンのエッジに段差を付けたり、別のパターンを加えたり、パターン幅を変えるなどの補正を行う方法である（[https://www.elisnet.or.jp/word/word\\_detail.cfm?word\\_id=943](https://www.elisnet.or.jp/word/word_detail.cfm?word_id=943)）。

<sup>34</sup> マスクのパターンをウェハに転写する際に、転写光学系の解像限界付近ではコントラストが低下したりして、解像しなかったりパターンの忠実度が悪くなる。超解像技術とは、解像力の物理限界付近までパターン転写を可能にする技術で、位相シフトマスクなどを指す（広義には、OPC を含む）。位相シフトマスクとは、光の位相や透過率を制御する事で、ウェハへの露光時の解像度や焦点深度を改善し、転写特性を向上させたフォトマスクのことで、露光波長以下のリソグラフィでは標準的に使用されている技術である。

<sup>35</sup> 微細化が進むと必要な解像度の確保が困難となり、OPC だけでは対処できなくなる。そこで、回路レイアウトを 2 つ（またはそれ以上）のマスクに分割して露光を行う。これにより、レイアウト・ピッチの密度が減少するため、既存の OPC で解像可能となる。この技術をダブルパターンニング（またはマルチプルパターンニング）という。TSMC は 20nm プロセスでこれを採用したが、他方でコスト増の要因ともなった（朴, 2011）。

<sup>36</sup> 以上のフォトマスクに関する記述は、大木（2008）、前田（1999, pp.67-69）などを参考にした。

<sup>37</sup> Mr. ABCD とは、「M」が MEMS やマイコン、「r」が RF、「A」がアナログや車載用（automotive）、「B」が BCD（bipolar, CMOS, DMOS）パワーデバイス、「C」が CMOS イメージセンサー、「D」がディスプレイを表している（Sun, 2009）。

<sup>38</sup> ファウンドリはメモリやアナログのデザインルールも持っており、それに合致する限りは問題ない。システム LSI は機能で勝負する製品であり、その一部として組み込まれるメモリやアナログの部分は、其々単体の製品ほど性能を突き詰める必要はない（例えば、メモリ単体なら、ビットコストの低減が重要な課題であり、そのために設計・製造を最適化する）。なお、こ

ロジック・プロセス（あるいは他のプロセス）との統合（CMOS IP との互換性保持、CMOS ロジックとの親和性の高い技術の採用）とワンチップ化も鋭意追求している。<sup>39</sup> さらに、2.1 節で触れたように、特殊プロセスは旧式生産ラインの活用による稼働率向上と利益獲得という面でも貢献している。ここでは、同社『公司年報』で取り上げられているこうした特殊プロセスの各々について解説する（付表 1 参照）。

### (1) 埋め込みメモリ (Embedded Memory)

埋め込みメモリ（組み込みメモリ、混載メモリとも呼ばれる）は、単体ではなく、システム LSI の一部として混載されるものである。現在量産されている主要メモリは、SRAM (static random access memory)、DRAM (dynamic random access memory)、フラッシュメモリであり、埋め込みメモリとしてもこれらが中心である。SRAM と DRAM は揮発性（電源を切るとデータが消える）で、フラッシュメモリは不揮発性（電源を切ってもデータが消えない）である。

このうち SRAM は、CMOS ロジック・プロセスとの親和性が高く、ほとんど追加工程を要しない。また高速で低消費電力という特徴を持つため埋め込みメモリとしては最も普及しているが、大規模な集積化が課題である。DRAM は、SRAM に比べ大容量のメモリ混載に適しており、大容量領域では SRAM より小面積・低コストという利点がある。なお、DRAM については、微細化が進むにつれ DRAM 用キャパシタ（コンデンサ。ここに電荷を蓄えることで情報を記憶する）形成工程が複雑化し、CMOS 比のウェハコストが増大する傾向がある。また最先端の DRAM セルと最先端ロジックを混載する場合、熱処理上の矛盾が発生する（即ち、最先端ロジックのトランジスタは熱に脆弱だが、DRAM のキャパシタ形成には十分な熱処理が必要である）。

揮発性の SRAM や DRAM はワークメモリ（実際に動かしているプログラムやプログラムが扱うデータなどを一時的に記憶しておくメモリ。書き換え頻度が高い）として使われる。これに対して、フラッシュメモリは、不揮発性で長期間データの保持はできるが書き込み速度が遅く書き換え回数に制限があるため、マイコンやシステム LSI のオンチップメモリとしてプログラムやデータの格納用に使用され広く普及している。ただし、データの長期保存のためのセルの信頼性設計の困難さによりデバイス構造が複雑となり CMOS 比のウェハコストの増大に繋がる。また、情報の書き込み動作のために高電圧

---

うした異質の機能ブロックを 1 チップ化するメリットとしては、占有面積の縮減、高速化、低消費電力化、（量産が成功した場合の）コスト削減がある。他方、デメリットとしては、開発過程の複雑化、異なる半導体プロセスを混載することによる製造コスト増大と歩留まり低下といったことがある。

<sup>39</sup> TSMC が提供できる特別なワンチップ化技術の例として、次のようなものが挙げられている。即ち、CMOS+MEMS、MCU+RF、MEMS+motion processor、RF/PMIC+integrated passives、analog+DSP、CMOS image sensor+image signal processor、display driver+touch controller（TSMC、各年版 b の 2013 年版, p.11）。

が必要だが、ロジック・プロセスの微細化に伴う低電圧化と矛盾するという難しさがある。

混載向きのメモリとは、CMOS ロジックと親和性が高く（プロセスと動作電圧で）、CMOS 比でみたコスト増加が少ないものであるが、上述のように SRAM 以外では課題がある。TSMC では、顧客のニーズに応じるためにこうした分野の技術開発・導入も行い、<sup>40</sup> 揮発性メモリに関しては、埋め込み 1TRAM（DRAM に似たキャパシタと SRAM インターフェイスを持つ。ロジック・プロセスでの実現が容易。プロセスノード 0.25～0.13 $\mu\text{m}$ ）と埋め込み DRAM（90～40nm）のプロセスを提供している。不揮発性メモリでは、埋め込みフラッシュメモリ（0.5 $\mu\text{m}$ ～65/55nm、高機能版や低消費電力版もある）を中心に幅広いサービスを提供している（後藤, 2001b; TSMC, 各年版 b の 2013 年版, p.11、および TSMC の HP）。

また顧客との提携による技術開発もある。例えば、2012 年 5 月、日本のルネサスは、車載用・民生機器用のマイコンに関して 90nm に引き続き 40nm 以降の世代でも TSMC に製造委託し、マイコン向けのフラッシュメモリ混載プロセスの開発で協力を拡大することを発表した。共同開発の成果は他のファブレスや IDM へも広く提供されることを想定している（薩川, 2012）。

## **(2) ミックスド・シグナル／高周波 (Mixed Signal/Radio Frequency : MS/RF)**

現在のデジタル機器の多くには実はアナログ技術（電圧、電流、周波数、圧力等の連続した量の大小で表されるアナログ信号を処理する）が必要である。具体的には、ディスプレイ、スピーカー、マイクなどのヒューマンインターフェイス部、無線部のアナログ回路、充電器、デジタルとアナログの境界での変換部、カメラ、そしてセンサーなどで使用されている。そして、デジタル回路とアナログ回路の両方を搭載した IC はミックスド・シグナル (MS) IC と呼ばれる。MS のシステム LSI は、1 チップ中にアナログ部とデジタル部を持ち、例えば、センサーやマイクなどから入力されたアナログ信号がアナログ部の A-D（アナログ-デジタル）コンバータを通してデジタル信号に変換される。この信号は、デジタル部で論理演算、加減乗除演算、比較、条件判断等の各種デジタル演算処理を施され、演算処理の結果はメモリに書き込まれたり、読み出されたりする。デジタル部からの出力は、表示や外部制御、外部システムへのインターフェイスなどを行うが、アナログ信号を出力する場合は再びアナログ部の D-A コンバータによって変換される（図5）。多くのシステム LSI はアナログ部とデジタル

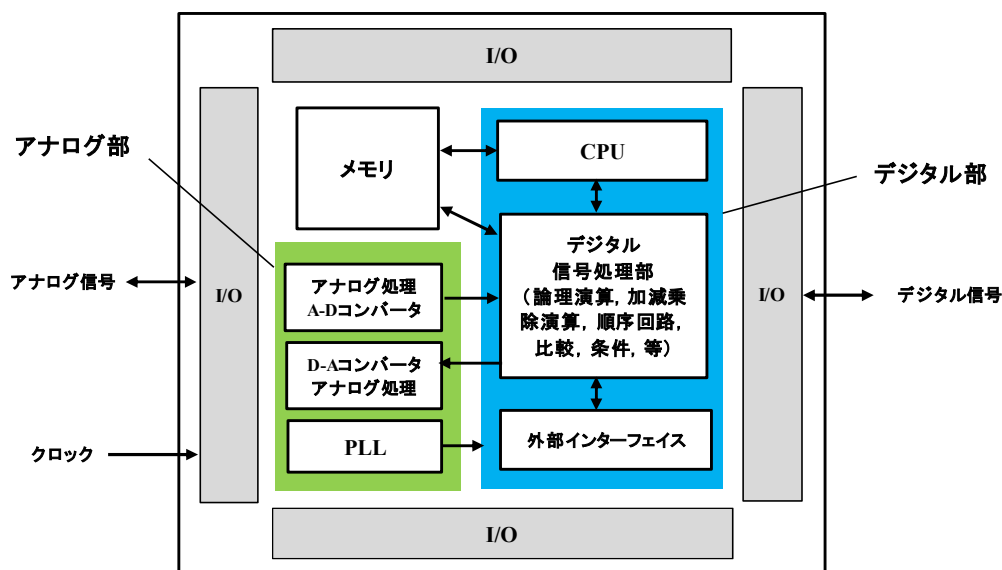
---

<sup>40</sup> 技術開発・導入の例としては、埋め込み DRAM に関して、コスト高と熱処理上の課題に対処するため、MIM (metal-insulator-metal、金属-絶縁体-金属。絶縁層を金属で挟み込んだ構造) キャパシタを採用している。これにより電極・高誘電率絶縁膜形成が低温で可能となり、しかも絶縁膜の高誘電率化はプロセスコストの低減に資する。埋め込みフラッシュメモリでは、スプリットゲート (split-gate) 型メモリセルを採用し、CMOS ロジック・プロセスとの互換性が高い技術を提供している。

部が混在している。

また、高周波 (RF) 回路とは高周波アナログ信号処理を担うもので、無線機器でアンテナから入った微弱な電波 (アナログ) を処理する、もしくはデジタル放送・通信システムでも、搬送波に乗った変調されたデジタル信号を増幅し必要な信号だけを精度よく取り出すといった用途に使われる (なお、高周波とは電磁波や電気信号のうち無線通信に利用できる周波数のものである)。<sup>41</sup>

図5 ミックスド・シグナル LSI のイメージ



注) PLL (Phase Locked Loop) = クロック信号の生成や信号の同調などを行う。  
出所) 桜井 (2013) p.12 の図 1.1 を引用。

MS/RF 技術は、今日、多くの半導体製品で成功するための欠くことのできないものであり、とりわけ急速に成長している無線通信市場を支えている。TSMC では、標準的なロジック・プロセスと互換性を保った MS/RF 向け技術の開発も進めている。同社が提供する MS/RF プロセスには、Deep N-well、Vt デバイス、MIM (metal-insulator-metal) キャパシタ、ポリシリコンレジスタ、メタルインダクタ、バラクタ (可変容量ダイオード) などが含まれる。これらは必ず使用しなければならないものではなく、パフォーマンスとコストの兼ね合いで顧客が採否を決める。TSMC は、オプションを用意し顧客の多様なニーズに対応できるように備える、という姿勢である。<sup>42</sup> また、40nm 低電力消

<sup>41</sup> 以上の MS/RF の説明は、JEITA (2012, pp.30-32, pp.149-154)、桜井 (2013, 第 1 章) などを参考にした。

<sup>42</sup> TSMC の専門家によると、どんな製品も大なり小なり何らかのミックスド・シグナル (MS) デザインを含んでおり、ロジックと MS を区別するのは困難である。ロジック・プロセスを MS デザインに使うこともできる。顧客の求めるパフォーマンスの水準が高ければ、MS

費 RF のプロセスデザインキットの提供 (2008 年)、電磁界シミュレーション (電磁干渉に関するシミュレーション)・ベースの LC タンク回路 (コイルとコンデンサで構成される共振回路。受信機の選曲回路、フィルタ回路など向け) 設計パッケージ開発 (2010 年、2011 年) のような設計支援も行っている。主な応用分野としては、Bluetooth 製品、携帯電話・スマートフォン、将来的にはモノのインターネット (internet of things : IoT) などといったものがある (TSMC の HP、および TSMC, 各年版 a)。

### (3) シリコン・ゲルマニウム・バイポーラ CMOS (Silicon Germanium Bipolar CMOS: SiGe BiCMOS)

バイポーラ CMOS (BiCMOS) プロセスは、高周波アナログにとって重要な高速性と高ゲイン (増幅率) を備えたバイポーラ・トランジスタと (簡単に言うと、アナログ回路にとってトランジスタは電気信号の増幅素子である)、シンプルで低消費電力のロジック・ゲート構築に最適な CMOS 技術という 2 種類のプロセス技術の長所をあわせ持ち、RF 部、アナログ部、およびデジタル部を 1 チップで実現する。

ただし、CMOS のデジタル回路とバイポーラのアナログ回路を同居させるのには 1 つの困難がある。即ち、CMOS は製造しやすく微細化が大きく進展するが、微細化が進むとトランジスタの破損を避けるため電源電圧を下げる必要がある (それが低消費電力化というメリットともなる)。電源電圧を下げると S/N 比 (信号対ノイズ比。ノイズとは不要な好まれざる信号) が低下する。デジタル回路では 1 と 0 の区別が可能なだけの S/N 比があればよいが、アナログ回路では S/N 比がすぐに限界に達する (アナログは、ノイズにより元の信号に少しでも変動が出ると、それが表している値の誤差になる)。

その対策が、シリコン・ゲルマニウム (SiGe) を用いたプロセスである。これにより、シリコンのみを用いた場合よりも低ノイズでより高速なトランジスタが実現できるため、アナログ回路に使用することで性能が向上する。またデジタル回路にも一定のメリットがある。ただし、SiGe プロセスは、一般に CMOS プロセスと比べると 2 世代以上古いプロセスルールを採用するため、チップサイズが大きくなると同時にデジタル部分のコストがかなり高くなる (線幅が大きいことで高電圧動作が可能となりアナログ回路には有利であるが)。そのため高速であるというメリットを考慮しても、大半がデジタル回路で占められる製品なら SiGe BiCMOS プロセスで実現することにあまり意味がない。<sup>43</sup>

この技術は、とりわけ高速な動作・信号処理を必要とするミックスド・シグナル IC や RF に適合する。主な応用製品分野は、高周波数を用いたネットワーキングやワイヤレ

---

向けの特殊プロセスが推奨されるが、その分コストが高くなる。顧客がシンプルで低価格のものを求めるならロジック・プロセスを使用すればよいとのことである (後藤, 2001b)。

<sup>43</sup> 以上の SiGe BiCMOS の説明は、主に「STMicoelectronics の BiCMOS」 ([http://www.st-japan.co.jp/web/jp/about\\_st/bicmos.html](http://www.st-japan.co.jp/web/jp/about_st/bicmos.html))、Rako (2009) を参考にした。



スコミュニケーション（携帯電話、WLAN、GPS 機器など）である。TSMCはこのプロセスでも、国際半導体技術ロードマップ（ITRS）より先行し、世界第1級水準の技術を確立している（TSMC, 各年版 a の 2010 年版, p.49）。

#### **(4) パワーIC/BCD (Power IC/Bipolar-CMOS-DMOS : BCD)**

BCD（バイポーラ-CMOS-DMOS）は、パワーIC（電源管理 IC）のキー・テクノロジーである。BCD は、高精度アナログ向けバイポーラ、デジタル向け CMOS、およびパワー・高耐圧素子向け DMOS（double-diffused metal-oxide semiconductor の略。二重拡散金属酸化膜半導体）の3種類の異なったテクノロジーを1チップ上に形成するプロセス技術である。これにより、チップの小型化、信頼性の向上、電磁干渉の低減などのメリットが得られる。BCD 技術はワンチップのパワーIC デザインにとって鍵となる。

TSMC の BCD 技術は、12～60 ボルト（V）の幅で、汎用 DC-DC（直流-直流）コンバータ（ある直流電源から、異なる電圧の直流電源を構成するための電源回路）や特定用途向けパワーIC（例えば、3C および車載用の LED ドライバ、クラス D アンプ、携帯端末用、モータードライバ向け）をサポートできる。また同社の超高電圧（ultra high voltage: UHV）技術は、500～800V の幅で、AC-DC（交流-直流）スイッチング電源、DC-AD インバータ、屋内外 LED 照明などの応用製品向け回路をサポートしている（TSMC の HP）。

#### **(5) 液晶パネル・ドライバ (Panel Driver)**

液晶パネル用ドライバは、液晶ディスプレイの各画素に信号を供給するための回路であり、通常 IC 化している。ここでは TSMC が長年培ってきた高耐圧技術が生かされている。とりわけ近年は、ディスプレイの高細密化と平均価格上昇、機能統合などが成長を後押しし、ドライバ IC の需要を引き上げている。また、近年スマートフォン用ディスプレイのドライバ IC にタッチスクリーンコントローラーを統合する動きも進んでいる。TSMC はこうした SoC 化にも対応できる（田中, 2014; TSMC, 各年版 b の 2013 年版, p.11）。

#### **(6) CMOS イメージセンサー (CMOS Image Sensor : CMOS IS)**

CMOS IS は、主にデジタルカメラや携帯・スマートフォンのカメラモジュールなどに使用されてきたが、現在、自動車や医療機器、監視カメラ、産業用と用途拡大が進んでいる。この分野は日本の Sony がリードしており、米国 OmniVision、韓国 Samsung が追撃している。とりわけ、裏面照射（back side illumination : BSI）型イメージセンサーは、シリコン基板の裏面側から光を照射することで従来比で約 2 倍の感度や低ノイズを実現できる技術で、Sony が研究開発と量産で先行していた（2008 年 6 月に試作開発成功、2009 年 2 月に同センサーを搭載したビデオカメラを製品化）。当時、他社が追い付くことは当分ないと予想されていたが、早くも 2008 年 9 月には OmniVision が BSI 技術を使

った CameraChip センサーの開発を発表し、その後 Sony に続いて量産出荷してみせた。実は、この開発成功は TSMC との協力により実現されたものであり、チップの製造も TSMC が請け負っている。ソニーが IDM の強みを生かして確立した加工技術と同等のものを TSMC は量産レベルで有しており、ロジックやシステム LSI ばかりでなく、イメージセンサーでの製造能力も注視すべきものであることが明らかとなった。<sup>44</sup>

### (7) 微小電気機械システム (Micro Electro Mechanical Systems : MEMS)

MEMS は、半導体プロセス技術によってシリコン等の基板上に電気機械構造を 3 次元的に作り込んだデバイスである。IC がシリコン基板上で電気信号のみを処理するのに対して、MEMS は材料に上下左右に動く可動部を有し (可動構造がないものも一部含まれる)、入出力が電気信号だけでなくエネルギー、物理量 (動き)、光信号、化学量など多様である点が大きな違いである。加速度センサー、シリコンマイク、光学デバイス、圧力センサー、インクジェット・ヘッド、RF スイッチ、マイクロディスプレイ、ジャイロスコープなど様々な製品がある。

TSMC は 2008 年頃から MEMS のファウンドリ事業化を本格化させた。TSMC が有している MEMS 加工プロセスは、リソグラフィ、エッチング、成膜、解析などの CMOS ベースのものに加え、シリコン基板に深い溝や複雑な立体構造を作るマイクロマシニング<sup>45</sup> と呼ばれるプロセスがある。MEMS も主要部分は半導体集積回路作製技術で作られるため IC の製造設備を流用することができる。しかも、MEMS と IC では、一般的に IC の方が微細化で先行しているため、旧世代の製造ラインが MEMS に転用できるという利点もある。TSMC では、既存工場 (2008 年時点では、新竹科学園区の Fab 2 と Fab 3。前者は 150mm ウェハ、後者は 200mm ウェハのライン) の CMOS IC 向け製造ラインに MEMS 固有の製造設備を追加し量産に充てている。なお、IHS iSuppli によると、2011 年には TSMC の MEMS 売上高は 5,300 万米ドルに達し、MEMS 専業ファウンドリのランキングで世界第 1 位の座を獲得した。<sup>46</sup>

### 3.3 配線/パッケージ開発

TSMC は前工程 (ウェハプロセス) の受託製造がコアビジネスだが、一部後工程のパ

---

<sup>44</sup> 以上の記述は、主に大石 (2010)、および Sony と OmniVision によるニュースリリースによっている。

<sup>45</sup> マイクロマシニングには、次の 2 種類がある。即ち、①普通の IC と同様にシリコン基板上に複数の薄膜を形成し、エッチングでセンサーなどある機能を持つ立体構造体をつくる「表面マイクロマシニング」、②シリコン基板自体を加工して構造を形成する「バルク・マイクロマシニング」である。前者は CMOS 回路との集積化に適し、後者は自由度の大きな 3 次元構造に適する。

<sup>46</sup> 以上の MEMS に関する記述は、主に三宅 (2008)、NEDO 「実用化ドキュメント」 (2014 年 2 月。 <http://www.nedo.go.jp/hyoukabu/articles/201316omron/index.html>)、Clarke (2012) に基づく。なお、自社ブランドメーカーも含めると、2011 年の MEMS 売上高では、STMicroelectronics が 2 億 5,000 万米ドルで世界最大である。

パッケージや実装分野にもサービスを拡大しており、それに伴う技術開発も実施している。2008年には、そのために「配線・パッケージ技術統合開発部門」(Integrated Interconnect and Package Development Division: IIPD)が設立された。同社『公司年報』(2009年版以降)をみると、この分野で主な項目は、配線、パッケージ、3D ICの3つであり、以下で解説する。

## (1) 配線

先進的配線技術に関しては、配線遅延の極小化が主な課題である。配線遅延とは、配線抵抗(resistance)や配線間の寄生電気容量(capacitance)によって生じる電気信号の遅延であり、RC遅延と呼ばれる(配線抵抗と配線間の寄生電気容量の積に比例する)。配線抵抗とは配線素材が持つ電気抵抗のことで、その抵抗値は長さに比例し断面積に反比例する。寄生電気容量とは、回路ブロックを配線で繋ぐとき設計者が意図しない形で生じた電気容量(静電容量。蓄えられた電荷)である。配線間の距離が近いと大きくなり、信号の遅延や干渉が増える。ICが大規模化し回路が複雑化すると一般に配線長は長くなり、線幅は細くなる。また配線間の距離も近くなる。即ち、微細化の進展に伴ってRC遅延が増大し、ICの動作速度を低下させる。

抵抗と容量が小さくなれば配線遅延も少なくなるわけであるが、そのために抵抗の低い銅(Cu)配線、および配線間の容量を下げる低誘電率層間絶縁膜(low-k材料)を採用する必要がある。前者について言えば、従来配線材料として主流であったアルミニウムから銅へのシフトは、1997年にIBMが銅配線の実用化を表明してから一気にメーカー各社による採用が進んだ。ただし、銅配線には、「銅汚染」(銅は半導体製造過程でシリコンの表面などに拡散・付着しやすく、トランジスタがまともに動かなくなる)の問題があった。TSMCも130nm世代で初めて銅配線を採用したが、当初トラブルが多く、このためある顧客の製品出荷が遅れ大きな損失を与える事態となった。結局、銅配線はCMP(chemical mechanical planarization、化学機械研磨)とダマシンプロセスにより実用化された。<sup>47</sup> 他方、層間絶縁膜は、多層配線構造で層の異なる上下の配線間を絶縁・分離するための膜(酸化膜)で、誘電率が低い材料を使用することで配線間容量を下げられる。求められる誘電率の値は、プロセス世代が進むにつれて小さくなる。<sup>48</sup>

TSMCは、今や先端プロセス開発で世界をリードする企業の1つであり、その時々の

---

<sup>47</sup> 銅汚染問題については、大原(2014b)を主に参考にした。CMPは、非常に微細な研磨剤を使ってシリコンやその上に積層した様々な材料を平らに研磨するための技法である。ダマシンプロセスは、層間絶縁膜に溝を掘ってそこに金属(ここでは銅)を流し込み、次いで表面を研磨し溝の中だけに金属を残し、銅配線を実現するという手法である。このためには精密な表面研磨が鍵であり、そこでCMPが不可欠となる。

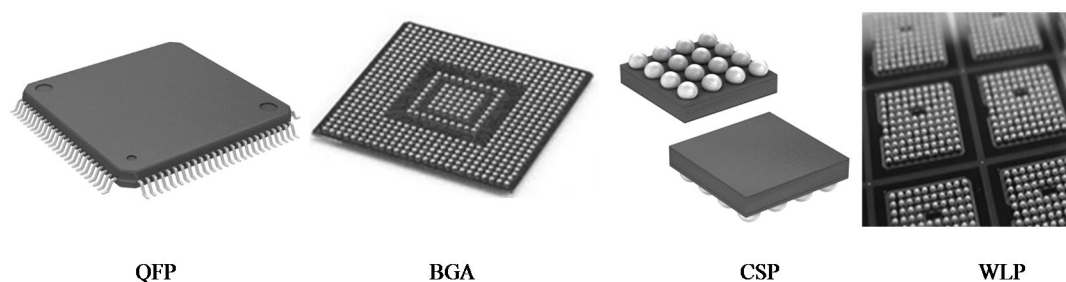
<sup>48</sup> 誘電率は、導電性物質では大きく、絶縁性物質では小さい。真空状態は1.0である。求められる誘電率の値は、例えば、32nm世代では、2.2~2.4、22nm世代では2.0~2.2、1X世代では2.0以下とされる(前川, 2009)。

最先端プロセス量産化に向けて配線遅延の極小化に取り組んで来た。近年では、銅配線の太さと間隔を一層縮小するパターンニング技術、および誘電率の極めて低い超低誘電率 (extreme low-k) 層間絶縁膜材料の開発で世界的にも高い技術力を持ち、ITRS の予想に先んじる成果をあげている (TSMC, 各年版 a の 2014 年版, p.63)。

## (2) パッケージ/3D IC

半導体のパッケージ技術の進化には、これまで大きく 3 つの革命があったという。即ち、1970 年代後半に現れた QFP (quad flat package) や SOP (small outline package) に代表される周辺端子型の表面実装用パッケージが多ピン・高密度化を促進し、初期の挿入型に取って代わった (第 1 次革命期)。1990 年代に入ってから多ピン対応のパッケージとしてエリアアレイ端子型の表面実装パッケージである BGA (ball grid array) やチップサイズに近い外形寸法の CSP (chip size package) が登場した (第 2 次革命期)。CSP はチップ面積が極小化され、モバイル機器向けとして急速に普及した。さらに 1990 年代末から半導体デバイスや半導体パッケージの 3 次元 (3D) 積層化や、ウェハレベルパッケージ (wafer level package : WLP) による高密度化が進展した (第 3 次革命期)。WLP はモバイル機器の小型化要求に応えるため開発されたもので、CSP の一種である。従来の BGA やリード線付き CSP などと違い、ボンディングワイヤによる内部配線を行わず半導体の一部が露出したままの形で、ほぼ最小サイズとなる。ウェハレベルとは、再配線や保護膜、外部端子の形成、樹脂封止といった作業をウェハ段階で行い最後にダイシング (個片化) することを意味している。ダイシングした後で加工処理を行う一般的なパッケージに比べ小型化しやすい (図 6 参照)。<sup>49</sup>

図 6 パッケージ技術進化の例

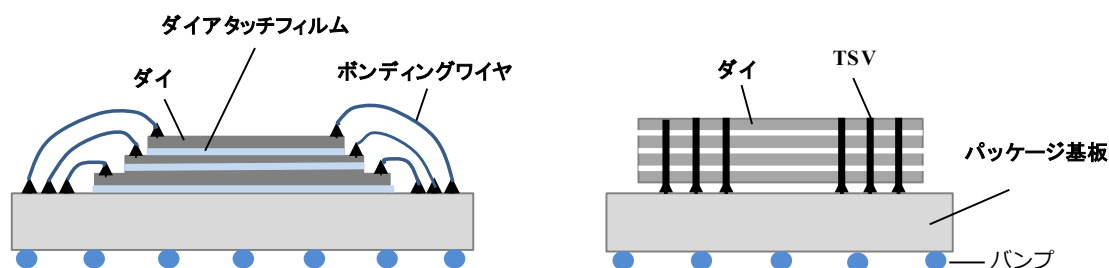


出所) 各種資料より。

<sup>49</sup> 以上この段の説明は、主に、半導体技術ロードマップ専門委員会 (2008, pp.1-2)、および Wikipedia 「ウェハレベル CSP」 (<http://ja.wikipedia.org/>) に依拠している。

この他、1つのパッケージの中に複数個のLSIを搭載するSiP (system in a package) や複数のパッケージを積み重ねるPoP (package on package) が、現在、広く実用化されている。これらを含め縦方向にチップを積載するものを3次元IC (3D IC) という (SiPは2次元の場合もある)。近年、従来の2次元的な微細化 (スケーリング) がいよいよ限界に近づき、微細化以外の方法でICを進化させる技術として期待されるのが3D ICである。厳密にいうと、3D ICとは、積層したダイ (die。ウェハから切り分けられた1枚1枚のチップ) の接続に従来型のワイヤボンディングなどではなく、より高密度かつ短距離で接続できるTSV (through-silicon via、シリコン貫通電極) やマイクロバンプといった技術を用いたものを指すことが多い (図7参照)。この接続技術により、複数のチップをあたかも1つのチップのように高速・低消費電力で動かせ、2次元の微細化に頼らずICを進化させる原動力となる。<sup>50</sup>

図7 3D IC—ワイヤボンディング (左) とTSV (右)



出所) 各種資料より。

こうしたパッケージ技術の進化に伴い「実装技術」の概念に変化が生じている (図8参照)。実装技術とは、半導体特性を十全に発揮させ、電子機器を小型化・高性能化する技術である。かつては、実装技術は後工程 (特にパッケージ) とほぼ同義であり、前工程 (ウェハプロセス)、後工程、そして (半導体チップを搭載する) プリント基板加工という単純な分業関係が成り立っていた。ところが、1990年以降になると、ICの小型化、高性能化、低コスト化のためにフリップチップ<sup>51</sup> やチップ表面の追加再配線、金属バンプの作製、BGAやCSPなどのエリアアレイ構造<sup>52</sup> が必要となり、チップに直接

<sup>50</sup> 以上、この段の記述は、主に、木村 (2014) に拠っている。

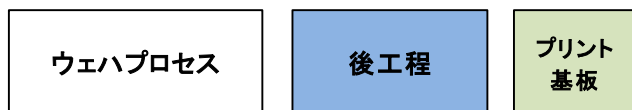
<sup>51</sup> フリップチップとは、チップ表面と基板を電氣的に接続する際、ワイヤボンディングのように金線などのワイヤを用いるのではなく、アレイ状に並んだバンプ (bump) によって接続する方式。バンプとは、ICの電極部に半田などの電気メッキで形成した突起状の接続端子のこと。実装面積の縮小や (配線が短いため) 電氣的特性の改良という効果がある。

<sup>52</sup> エリアアレイ構造とは、チップの表面に端子やボンディングパッドが格子状に配置されたデザインで、入力/出力 (I/O) 端子をチップ全面に持つためサイズを小さくできる。ワイヤボンディングではI/Oがチップ周辺部にあるため、必要な端子数を揃えるためにチップ面積が大き

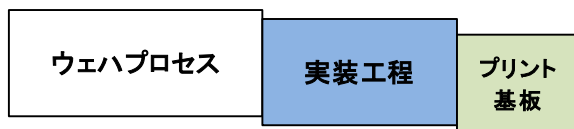
加工する必要が出てきた。また半導体チップを搭載する基板でも、高精度ビルドアップ基板<sup>53</sup> やこれを高密度半導体パッケージに適用するためのインターポーザ<sup>54</sup> が開発された。このため実装技術は単純な後工程ではなく、前工程やプリント基板加工とも密接に関わるものとなっていった。

図 8 ウェハプロセスと実装技術の関係の変遷

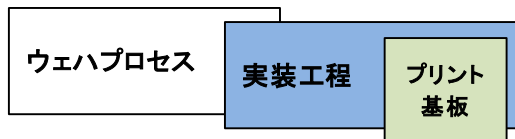
第1世代(～1990)



第2世代(1990～)



第3世代(2005～)



出所) 傳田 (2011) p.15 の図 1-2 を引用。

さらに、2005年頃からTSVが登場し、実装技術はさらなる新世代に入った。TSVとは、複数のICチップを積載する際、従来はワイヤボンディングで行われていた上下チ

くなる。また、エリアレイでは、ワイヤによる配線スペースが不要で、電源ノイズや配線のインダクタンス、抵抗による損失も低減できる(日経テクノロジーonline「フリップチップ実装とは」2006年2月1日。<http://techon.nikkeibp.co.jp/article/WORD/20060310/114597/>)。

<sup>53</sup> ビルドアップ工法は、一層毎に積層、穴あけ加工、配線形成などを繰り返すことによって多層構造のプリント基板を作製する方法で、これを利用して作製された基板をビルドアップ基板と呼ぶ。一般的なビルドアップ基板は、コア基板と呼ばれる2層から4層の配線層を形成した芯となる基板の表面及び裏面に、それぞれ1層から3層の配線層を形成した合計4層から10層の多層プリント基板である。絶縁体の材質としてエポキシ樹脂やポリイミド、レーザー加工対応プリプレグなどが、配線の材質として銅が用いられる(Wikipediaの「ビルドアップ工法」より。<http://ja.wikipedia.org/>)。

<sup>54</sup> インターポーザとは、端子ピッチが異なるICチップとメイン基板の間で中継するもの。SiPのように複数のICを搭載する場合は、IC間の接続を担う役割を持つこともある。とくにシリコン(Si)インターポーザは、配線のみを作り込んだシリコンチップで、その上に複数のICを搭載するSiPの実現手段である。これによりIC間の配線を担い、配線長や配線幅を小さくできる。また、メイン基板へ接続する端子を減らして結果的に端子ピッチを拡大できるといった利点がある。ただし、製造コストが高いため用途が限られている(日経テクノロジーonline「Siインターポーザとは」2007年12月12日。<http://techon.nikkeibp.co.jp/article/WORD/20071211/143970/>)。

チップ間の接続を、チップの内部を垂直に貫通する電極を形成することで行う技術である（前出図7参照）。TSVによるとチップ同士を高密度で接続し、1つのチップ内と同等に統合できる。またTSVを採用すれば、配線空間のためにパッケージを広げたり、ダイ間にインターポーザを設けたりする必要が無くなることから、3Dパッケージの面積や厚みを縮小することができる。さらにTSVでは接続部を極小間隔で配列できるため数千本単位の接続が提供される（ワイヤボンディングでは100～200本程度）。これまで微細化により1チップに多くの機能を詰め込んできたが、今後は複数のチップに小分けし、それらをパッケージ内で統合することで、高集積化を実現するための鍵として期待されている。TSV実装に際しては、ウェハプロセスの最初の段階での穴あけ加工、超薄型ウェハの加工（ウェハを薄くすることで、TSV電極の穴あけや金属埋め込みといった工程が容易になるため）とそれに伴う研磨技術とレーザーやプラズマ技術の使用、および基板技術でもシリコンに近い微細配線加工が要求されるようになった。即ち、前工程、後工程、プリント基板加工の3領域が重なり合うようになってきたのであり、そのため相互の関連を十分考慮した研究・技術開発、実装を考慮したチップのレイアウト設計が不可欠となる。また、3D実装工程では、真空装置などの大型シリコン加工装置が増え、必要とされる設備投資額も増大している。<sup>55</sup>

さて、以上を背景として、本来前工程を専門とするTSMCは、近年、実装技術の開発にも着手し自前のパッケージ工場も擁している。TSMCはこれまで、ASE（日月光半導体）などの後工程専門企業と分業・協力してきたが、両者の中で業務が競合する部分が出てきた。ただし、基本的には、TSMCの実装は前工程と関係の深いもので技術的にハイレベルなものに限られる傾向がある。<sup>56</sup> パッケージや実装分野の技術開発でTSMCが取り組んでいるものとしては、鉛フリー技術、fan-in/fan-outのWLP、3DSiP、TSV、CoWoS（chip-on-wafer-on-substrate）、ファインピッチ・シリコンインターポーザ、InFO（integrated fan-out）などがある。

若干解説を加えると、TSVによる3次元実装（3DSiP）が微細化に代わる高集積化の鍵であると前述したが、TSVにはコストが高く、歩留まりが落ちるという問題があり、チップ間を高密度に接続できさえすれば、必ずしも3次元にこだわる必要はないという

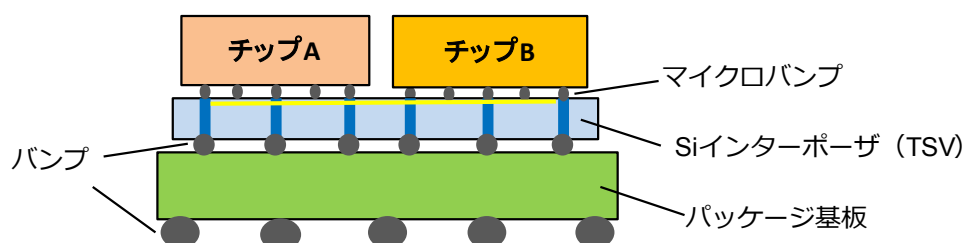
---

<sup>55</sup> 以上、本段落と前段落の実装技術に関する記述は、主に、傳田（2011、第1章）を参考にした。また、TSVについては、大石・木村・河合（2012）を参考にした。

<sup>56</sup> TSMCは、かなり前から後工程分野へもサービスを拡大してきている。既に2000年代初頭より、顧客と後工程専門企業を仲介し、TSMCが顧客に代わって前工程と後工程を一括して管理するサービスも開始したが、これは包括的なバックエンド・サービスへと発展していった。即ち、ウェハプロセスに加え、バンピング、ウェハソート、パッケージ、テスト、そして完成したICの配送までを一括して請け負うものである。このため後工程専門企業との連携を強めてきた。例えば、台湾の後工程専門受託企業であるASEは、当該分野で世界最大手でありTSMCとも密接に連携している。同社は、TSMCが先端プロセス技術の量産体制を整えた段階で、対応する後工程の準備を終えていなければならない。そこで同社はTSMC内に後工程の製造装置を設置するとともに、数十名の技術者を派遣し共同で対応している（筆者不詳, 2010）。

考え方もある。そこで TSMC が開発したのが CoWoS である。<sup>57</sup> CoWoS は高密度のシリコン (Si) インターポーザ上に複数の IC チップを平置きで配置・接合し、その後ダイシング (個片化) する手法である。個片化された後には、Si インターポーザ上に複数の IC チップがマイクロバンプで接合された形になっており、さらにその後それがパッケージ基板にバンプで接合され 1 つの製品となる (図 9)。即ち、複数 IC チップ間、および IC チップとパッケージ基板との接続は Si インターポーザに作り込まれた配線層で行う構造である。IC チップは基本的に平置き (2 次元) だが、Si インターポーザは配線層のみを持つ Si チップであり、その意味では積層 (3 次元) とも看做せ、2 次元と 3 次元の中間的なものとして「2.5 次元」LSI と呼ばれる。

図 9 CoWoS



出所) 木村 (2012) p.17 の図 2 を参考にした。

実は、この Si インターポーザには TSV 技術が使われており、配線層のみのため上述の TSV の問題をある程度回避でき、同時に IC チップ間の高密度接続の効果も一定程度実現できるという、この意味でも折衷的である。ただし Si インターポーザには TSV 技術を使うため、やはりコストが高い。そこでよりコストに敏感な用途向けに、TSMC は InFO と呼ばれる新たな技術を提供する。これはインターポーザを使わず、ウェハ処理プロセスによって、平面状に並べたチップ間の配線を行う FO-WLP (fan-out wafer level package) 技術の一種である。<sup>58</sup> このように、TSMC は TSV による 3D IC だけでなく、

<sup>57</sup> CoWoS についての記述は、木村 (2012)、中島 (2015) を参考にした。

<sup>58</sup> 上述のように、本来の WLP は、IC パッケージプロセスを全てウェハレベルで行う技術であり、全ての I/O (入力/出力) 端子がダイ (ウェハから切り分けられた 1 枚 1 枚のチップ) 面積内に配置され (これを fan-in 型という) チップサイズパッケージとなっている。FO-WLP は、WLP と言いながら、厳密には少し違う。即ち、一旦個片化・検査済みのダイを一定の間隔で支持プレート上に配列し、プレート全体を樹脂で封止した後、支持プレートを取り外し、ダイのむき出しになった面に再配線層や接続用のバンプを形成し、再びダイシングし完成する。この場合、再配線層は薄膜で形成され、インターポーザやパッケージ基板を使用しないため、WLP の最大の特徴ともいえる基板レスとなる。コスト抑制、低背化のニーズにも応えられる。しかも、本来の fan-in 型の WLP に比べ、樹脂で周囲を封止した分、当初のダイより面積が大きくなり、その分再配線エリア (そして I/O 端子の実装面積) が広くとれる (これを fan-out 型と呼ぶ)。本来の fan-in



より実行可能性が高くコストパフォーマンスの良い技術の開発にも邁進している。

### 3.4 先進トランジスタ開発

TSMC の『公司年報』には 2009 年版以降、先進トランジスタ開発についての成果報告が掲載されている。要点は以下のようになる。

- ・ 2009 年：従来のような微細化（スケーリング）による IC の高度化が近い将来限界に達することを見据え、ムーアの法則を超えるための対策を講じる。このため、FinFET のような 3D トランジスタ技術の開発を進める。また、トランジスタ構造への新素材の使用に向けた研究開発を世界の先進的研究機関との連携で実施する。
- ・ 2010 年：TSMC は低動作電力と低待機電力製品でテクノロジー・リーダーである。低動作電力用途が高性能製品分野にまで拡大するのに合わせ、トランジスタの改良を行う。
- ・ 2011 年：「R&D Process Center (RDPC)」新設。これによりトランジスタの学習サイクルが加速されるだろう。
- ・ 2012 年：シリコンに代わる高速・低電力消費なチャネル素材（ゲルマニウム、III-V 族化合物<sup>59</sup>）への重点投資。ナノテク応用のトランジスタ構造の新コンセプトの探究。
- ・ 2013 年：「2013 International Electron Devices Meeting (IEDM)」にて germanium channel PMOS（P 型金属酸化膜半導体） FinFET 及び indium arsenide (III-V) channel NMOS（N 型金属酸化膜半導体）で世界記録を塗り替えるトランジスタ性能を報告。
- ・ 2014 年：先端ロジック技術からの動作速度向上と低消費電力化ニーズに応えるためトランジスタ構造と素材でのイノベーションが必要とされる。TSMC はこうした分野の研究で先頭を行っており、記録破りのゲルマニウム・トランジスタ性能を実現し、2014 IEDM にて報告した。

若干解説すると、近い将来実用化が見込まれるものとして、3D トランジスタの FinFET (fin-shaped field effect transistor) がある。LSI に求められる性能が高まるにつれて、トランジスタもその構造が見直されてきている。より高速で低消費電力のトランジスタを、という要求に応えるため、プロセスの微細化、銅配線、SOI (silicon on insulator。絶縁膜上に形成した単結晶シリコンを基板とした半導体技術。CMOS LSI の高速性・低消費電力化を向上させる)、歪シリコン (シリコン結晶に局所的な力を加え、結晶を歪ませることで半導体演算素子を高速化させる技術)、low-k 層間絶縁膜、high-k ゲート絶縁膜と

---

型の WLP は小型化できる反面、十分なピン・ピッチが確保できないという欠点があったが、fan-out 型 WLP ではダイのサイズはそのまま多ピン化に対応でき、また SiP への応用が容易となる。

<sup>59</sup> III-V 族化合物 (さんごぞくかごうぶつ) は、アルミニウム、ガリウム、インジウムなどの周期表 III 族 (13 族) 元素と、窒素、リン、ヒ素、アンチモンなどの V 族 (15 族) 元素との化合物の総称である (Wikipedia、「III-V 族化合物」より。http://ja.wikipedia.org/)。

いった技術が登場するようになってきた。その中で、FinFET とは現在主流のプレーナ型（平面型）トランジスタを拡張し、立体的な構造（3D）に改めて、高速動作性能と省電力性能を高めた新しいトランジスタ構造である。近年、先端チップの主戦場がモバイル機器向けの SoC となり、ハイパフォーマンスかつ低電力消費のプロセス技術が求められるようになり、FinFET はこの方面で優位性を持つ。また、FinFET は性能と消費電力のトレードオフの問題も緩和する。同等のプレーナ型トランジスタと同じ消費電力のまま動作速度を高めることも、同じ性能のまま消費電力を削減することもできる。FinFET の原型は、早くも 1989 年に日立製作所の久本大氏らが IEDM で発表したものだが、最先端プロセスへの本格的な導入は、2012 年に公開された Intel による 22nm 世代への FinFET の投入である。TSMC は 16nm 世代に FinFET を導入する（量産開始は 2015 年の予定）。Samsung も 14nm FinFET 技術を導入したモバイルプロセッサの量産を 2015 年に開始しており、同社と提携した GLOBALFOUNDRIES もこれを提供する。3D トランジスタでも Intel が先行していたが、TSMC も激しく追撃しており、次の 10nm 世代では技術差がなくなるという予想もある。<sup>60</sup>

#### 4 ディスカッションとまとめ

本稿冒頭で述べたように、本研究は、台湾ファウンドリ企業の台頭を支えた技術能力、具体的には、①柔軟・高効率の生産システム構築と②プロセス（および関連）技術の開発について、その優位性とそれを背後で支える活動や仕組み等に踏み込んで分析することが目的である。技術能力の分析に際しては、藤本隆宏教授の「能力構築競争」の分析枠組みを参考にし、2つの分野の其々について、「表層の優位性」（生産性・品質・コスト管理や技術開発力、オペレーション能力のレベルの高さを反映すると思われる表面に表れた事象）と「優位性の土台」（表層の優位性の背後でそれを支える活動や仕組み、それに影響する事業戦略やビジネスモデル）の2層から分析することとした。藤本教授の枠組みを変更し大まかな括り方にしたのは、海外企業に対する詳しい調査の実施可能性、および半導体製造装置の性能と生産工程の外面からの可視性にまつわる困難さを考慮したためである。また、他社製品の受託製造（主にウェハプロセス）に特化する専業ファウンドリのビジネスモデルが、自社製品の設計・製造を主体とする IDM と比べ、技術能力構築の方向性に少なからぬ違いをもたらす可能性も念頭に置いた。

分析枠組みの精密さや実証データの体系性に制約はあったものの、本稿これまでの分析から、表 3-1 と表 3-2 に要約されるような様々な側面が見えてきた。これを眺めつつ、以下では、①台湾ファウンドリによる技術能力向上への継続的努力、②技術能力構築へ

---

<sup>60</sup> 以上、FinFET については、大原（2014c）、Lipsky（2015）、後藤（2014）、Patterson（2015a）、その他（<http://www.synopsys.com/Japan/today-tomorrow/Documents/89-6-9.pdf> など）を参考にした。

のビジネスモデルの影響、③工程アーキテクチャ研究への示唆、の3点に関して、本研究からの主な知見を整理してみたい。

表 3-1 台湾ファウンドリの技術能力 (1) : 生産システム構築 (TSMC と UMC に関して)

表層の優位性	優位性の土台
多品種少量生産に対応する柔軟性	<ul style="list-style-type: none"> <li>プラットフォーム戦略 (ソリューションとテクノロジーの2軸で)。</li> <li>プロセス技術の拡充 (CMOS ロジックから様々な特殊プロセスに拡大, そして, 各プロセスでの世代の進化)。</li> <li>工場の自動化推進と工程のコンピュータ制御。</li> <li>市場ニーズへ積極的に適応する姿勢 (残業を厭わない等)。</li> <li>旧式工場の活用 (特殊プロセスへの対応に加え, 利益獲得面でも貢献)。</li> </ul>
生産システムの全体最適化の推進	<ul style="list-style-type: none"> <li>先端装置・ICT 管理システムの積極的導入。GIGAFAB 構想。</li> <li>生産現場からの要求に応じた CIM の日常的な改良。</li> <li>組織がフラットでコミュニケーションが容易。頻繁なミーティング。</li> <li>全社的な経験・ノウハウ共有の仕組み (「技術委員会」, データベース作成)。</li> <li>その前提である装置やツール, レシピ等の社内標準化推進。</li> </ul>
品質・生産性・コスト面の継続的改善	<ul style="list-style-type: none"> <li>生産性 (スループット, サイクルタイム, 量産化スピード) 指標の改善は, ビジネスモデル上の要請 (多数の顧客から受注し装置稼働率を上げ, 設備投資を極力速やかに回収する。同時に, コスト引き下げや time-to-market 短縮という顧客ニーズにも応える)。</li> <li>プロセスと生産能力そのものが売り物であり, 顧客の基本的な関心 (安定した品質, 迅速な納期, コスト低減) に応えるために全体最適化を戦略的に考慮する姿勢。</li> <li>インテグレーション・エンジニアの役割 (歩留まり向上と顧客との窓口役)。</li> <li>工場オペレータの役割変化 (かつて日常的な改善・トラブルへは, オペレータの高い技能で相当程度対応。しかし, 近年は品質要求水準が極めて高くなり, オペレータの責務・権限は限定される)。</li> </ul>
迅速なプロセスの量産立上げ	<ul style="list-style-type: none"> <li>研究開発は専用ラインを設けず (EUV 露光のような一部新奇な装置は専用), 大部分は量産ラインで実施。出来るだけ既存の装置とレシピを活用。</li> <li>研究開発部門と量産部門 (工場) のエンジニア間の密接な連携。</li> </ul>

出所) 筆者整理。

表 3-2 台湾ファウンドリの技術能力 (2) : プロセス (および関連) 技術開発 (TSMC に関して)

表層の優位性	優位性の土台
<p><b>【先端ロジック】</b> 1990 年代末以降, 先端プロセス開発では世界の先進グループに。22/20nm 以降は, ごく一握りのプレイヤーのひとつに。</p>	<ul style="list-style-type: none"> <li>• 2 つの技術世代を 2 チーム体制で同時に開発。→1~3 年ごとに次世代プロセスの量産化を実現。</li> <li>• 自社開発重視 (開発スピードの管理, 顧客スケジュールへの対応のため) も, 一部他社との連携とコンソーシアム活用により負担削減。</li> <li>• 先進的顧客との共同開発 (顧客側チームの常駐, 技術チームの派遣)。</li> <li>• 先端プロセス向けレシピ開発に高価な先端装置をタイムリーに購入, 装置メーカーと協調。</li> <li>• リソグラフィやフォトマスクの技術開発へも自社でコミットし, 次世代プロセス量産化に伴う課題に逸早く対処。液浸露光, EUV 露光では装置メーカーと協力し実用化推進に貢献。</li> </ul>
<p><b>【特殊プロセス】</b> 「Mr. ABCD」でもプロセスの種類と世代の両軸に沿って拡充。特殊プロセスでも高い技術水準達成。</p>	<ul style="list-style-type: none"> <li>• プロセスごとに技術開発チームがある。IP やライブラリ等の充実を図る。</li> <li>• システム LSI の機能ブロックとして必要な技術を広範に揃える戦略。</li> <li>• オプションを取り揃え, 顧客の多様なニーズに応える, という姿勢。</li> <li>• 旧世代生産ラインの活用 (ロジック・プロセス用ラインに特別な装置を付加) によるコスト競争力の獲得。</li> <li>• CMOS ロジック・プロセスとの統合 (CMOS IP との互換性保持, CMOS ロジックと親和性の高い技術の採用) とワンチップ化技術の追求。</li> <li>• 顧客との共同開発で受注確保と同時に技術基盤の拡充も図る (例: マイコン向けフラッシュメモリ混載プロセス開発でのルネサスとの協力。BSI 型 CMOS イメージセンサーにおける米 OmniVision との協力)。</li> </ul>
<p><b>【配線/パッケージ】</b> 後工程 (実装技術) の一部へのサービス拡大。</p>	<ul style="list-style-type: none"> <li>• 「配線・パッケージ技術統合開発部門 (IIPD)」設立 (2008 年)。</li> <li>• パッケージ技術の進化 (挿入型→表面実装型→3D IC, WLP, SiP 等高密度化) と「実装技術」概念の変容 (前工程-後工程-プリント基板加工のオーバーラップ化) に対応。</li> <li>• TSV 等による 3D 化により, 微細化 (スケーリング) の限界を乗り越えるという業界全体の期待に応える戦略。</li> <li>• 一部, 後工程専門企業との競合が生じるが, TSMC の実装は基本的に前工程と関係が深く技術的にハイレベルなものに限られる。</li> </ul>
<p><b>【先進トランジスタ】</b> 近年, トランジスタ構造 (3D トランジスタ) と素材 (ゲルマニウム, III-V 族化合物) の開発で優れた成果をあげる。</p>	<ul style="list-style-type: none"> <li>• ムーアの法則継続のためトランジスタ自体の新構造・新素材の導入に向かう業界動向があり, これを先導するのが狙い。</li> <li>• 「R&amp;D Process Center (RDPC)」新設 (2011 年) →トランジスタの学習サイクルを加速。</li> </ul>

出所) 筆者整理。

### (1) 台湾ファウンドリによる技術能力向上への継続的努力

まず、既存文献では、台湾ファウンドリ、とりわけ TSMC が先発企業との技術ギャッ

ブを急速に埋めていったのは、装置の大モジュール化が進み、当初インテグレーション能力に限界のあった台湾メーカーがこれに注目し、こうした歩留まりが高く加工時間が短い最先端装置を積極的に導入したことによるところが多く、しかも、その資金的負担は台湾の投資優遇制度によりかなりの程度軽減されたという点が指摘されている（立本・藤本・富田, 2009; 小川, 2014）。1990年代の台湾メーカーの台頭に関しては、筆者も、こうした事情が大きく影響したと考える。ただ、その後も台湾ファウンドリが発展し続け、技術能力も着実に向上してきたことについては、これを指摘するだけでは十分な説明になっていない。また、（これら既存研究の筆者は、慎重に言葉を選んでいるが）最先端装置を資金力に任せて大々的に導入すれば容易に競争力を獲得できるというふうに俗説化される危険性もあり、これに対しては、事実はそう単純ではないことを指摘する必要がある。

第1に、過去のしがらみに捉われず、事業立ち上げ当初から信頼性と生産性の高い新型装置や ICT システムを導入し、それをベースに生産システムの構築を進められたことは、後発組であった台湾（およびアジア）メーカーにとって有利に働いたことは確かであろう。ただし、これらの新技術を使いこなし柔軟・高効率な生産システムを構築するには、各企業における様々な努力が必要であることをあらためて強調したい。例えば、プロセスやソリューションのプラットフォーム化、CIMの日常的な改良、ノウハウ・経験を全社的に共有する仕組み、その前提であるツールや装置、レシピ、業務プロセス等の標準化の徹底など本稿第2節で見たような取り組みである。そして、断片的なデータ・証言からではあるが、こうした取り組みの巧拙・徹底度合いは品質や生産性にも相違をもたらし、ファウンドリ企業の間でも競合との差別化要因になっているであろうことも指摘された。

第2に、ムーアの法則に沿って先端ロジックの世代交代を進めるには、単なる一過性の投資では済まず、半導体メーカー側も相当の研究開発投資と設備投資を続けなければならない。3.1節で見たように、プロセス世代が進むにしたがって、それに追従できるプレイヤーが減少してきている。先端ロジック・プロセスの開発でも、TSMCはで1～3年ごとに次世代技術の量産化に成功してきているが、そのためにリソグラフィやフォトマスクの技術開発も含め自社でコミットしている。

第3に、やや細かい点にも言及するなら、ファウンドリがプレゼンスを高めるにつれて、装置メーカーとの関係はより相互依存的になってきている。本稿3.1節では、装置相互の擦り合せや試運転でIDMに代わりファウンドリの生産ラインが活用されるようになったこと、また液浸露光やEUV露光技術では、当初完成度の低かった露光装置をTSMCを含む一握りの半導体メーカーが率先して導入し、実用化・量産化に向けて改善努力をした（している）ことも言及された。

第4に、「TSMCの生産ライン構築の基本的方針は、『最先端プロセスを実現する最新装置を大量に揃える』というものだ。」（立本・藤本・富田, 2009, pp.242-243）という指

摘があるが、経済合理性と導入技術の選択も慎重に考慮されているという点も付け加える必要がある。即ち、プロセス世代が進化する度に新技術・新装置が導入されるが、TSMC の蔣尚義氏（研究開発資深副総経理、当時）は、「できるだけ現行の技術を再利用することで投資負担を軽減しています。例えば、90nm ノードから 65nm ノードへ移行する際には、従来の装置を 70%使い、新しい装置の導入は 30%に抑えてプロセスを立ち上げています。ただ、この 30%に相当する部分に、どのような技術を導入するかを見極めることは、非常に難しいといえます。」（Chiang, 2005, p.42）と述べている。

## （2）技術能力構築へのビジネスモデルの影響

次に、筆者の枠組みでは、「優位性の土台」の一部として事業戦略やビジネスモデルの影響が考慮されている。本研究で明らかになったことは、台湾メーカーにおいては、技術能力向上の努力が、専門ファウンドリというビジネスモデル上の要請としてビルトインされたものであったということである。即ち、生産性（スループット、サイクルタイム、量産化スピード）指標の改善は、多数の顧客から受注し装置稼働率を上げ、設備投資を極力速やかに回収するというファウンドリ・ビジネスの基本に沿ったものであり、これは同時に、コスト引き下げや **time-to-market** 短縮という顧客ニーズに応えることにも繋がる。ファウンドリはプロセスと生産能力そのものが売り物であり、こうした指標の改善は職人芸的に個々バラバラに行われているのではなく、顧客の基本的な関心（安定した品質、迅速な納期、コスト低減）に応えるために、常に優先順位やリソースの配分を考慮し、全体最適化を戦略的に突き詰めてきた結果であると思われる。TSMC による先端ロジック・プロセスの開発推進や特殊プロセス拡充、さらには後工程・実装分野と先端トランジスタ開発へのコミットも、専門ファウンドリのビジネスモデルを堅持しつつ、技術的潮流（微細化の進展、近い将来のその限界への到達、パッケージ技術の進化）を踏まえながらより多くの顧客の多様なニーズに応える過程で出てきたもので、一見事業範囲が無暗に膨張しているように思えるが、日本の一部の IDM による自前主義・百貨店型製品ラインナップとは文脈が大きく異なっている。

日本半導体業界での「経営、戦略、コスト競争力で負けたが、技術では負けていなかった」という自己評価に対して、少なくとも低コストで半導体デバイスを生産する技術力ではアジアメーカーにとっくに凌駕されていたことが指摘されている（湯之上, 2009）。本稿でも、断片的なデータ・事象からではあるが、柔軟・高効率な生産システム構築の面では大手台湾ファウンドリが日本企業の多くを既に追い抜いていた可能性が高いことを指摘した。まとまった厳密な比較分析は今後の課題とせざるを得ないが、少なくとも、ビジネスモデルを戦略的に構築し、全体最適化を考慮しつつ、その要請に応える形で技術能力向上を追求することでは、台湾ファウンドリ（特に TSMC）はかなり徹底していたことは示せたと思う。

TSMC の GIGAFAB 構想も、単に完全自動化の大規模工場に生産能力を集約し、規模

の経済により運営コスト低減や歩留まりの学習曲線加速を実現したという側面だけを見るのでは不十分である。これはそもそも多数の顧客からオーダーを吸収できる専門ファウンドリというビジネスモデルで、しかも業界トップの地位にあったから打ち出せた構想である。この地位を守るため、本稿でみたような様々な付随する努力が不可欠で、こうしたことが全てうまく噛み合っただけこそ成功するのだと言えよう。

### (3) 工程アーキテクチャ研究への示唆

最後に半導体産業の工程アーキテクチャとインテグレーションの役割をめぐる議論に関連して、本稿の分析から得られる若干の示唆と今後の課題を提示する。第1に、鈴木・湯之上(2008)では、メモリ半導体の生産工程の分析により、インテグレーションの役割(製造プロセスの工程間相互関係を考慮した工程フローの開発)を強調し、半導体の工程アーキテクチャはインテグラル型と判定する。それに対して、藤本(2009)は「半導体のアーキテクチャは、例えばロジック半導体とメモリ半導体では異なる可能性があり、一般論は難しい。」と言う(同,p.103)。TSMCやUMCはCMOSロジックが主体であり、工場での実際の生産工程は高度にコンピュータ制御されており、一見、特別複雑な調整もないような様子であった。さらに設計部門との擦り合せについても(ファウンドリでは顧客の設計エンジニアとの調整に相当する)、顧客が当該ファウンドリのデザインルールを踏まえて設計している限り基本的に問題はない。これを見る限りでは、ロジック主体のファウンドリの生産工程は少なくともメモリに比べるとモジュラー型に近いように思われる。ただし、コンピュータによる個別工程の完全制御が可能であったとしても、制御の目標たる工程パラメータの設定で工程間の緊密な相互調整が観察されるのであれば、論理的にはインテグラル型寄りの可能性もある、との指摘もある(同,p.102)。また、CIMの日常的な改良を通して、あるいはデザインルールや設計支援用のツールを構築する過程で、工程間の緊密な相互調整を織り込み一見モジュラー型として扱えるようにした可能性もある。

これと関連し、第2に、本稿2.1節で見たように、TSMCはソリューションとテクノロジーの2軸の掛け合わせで顧客の多様なニーズに対応するプラットフォーム戦略を打ち出し、多品種少量生産へ備えている。ソリューションの中には、CMOSロジック以外の多様な特殊プロセスが含まれており、比較的旧式のCMOSロジック生産ラインに若干の変更を加え、特殊プロセス用に活用していることも指摘された。また、3.2節で見たように、特殊プロセスにはCMOSロジック・プロセスとの統合において技術的難易度の高いケースもある(例えば、SRAM以外のメモリの混載、あるいはデジタル回路とアナログ回路のワンチップ化など)。さらに、プロセス世代が最先端か旧世代のものかによっても、ワンチップ化の難易度が変わってくる。このように特殊プロセスの統合においても、当初は複雑な調整や新技術の採用が必要で、その後、調整ノウハウが確立され、顧客のニーズに応じてオプションとして安定的に提供できるようになったものと

みられる。この過程で、生産工程のアーキテクチャがインテグラル型寄りからモジュラー型寄りに転換した可能性もある。アーキテクチャの判別には、こうした動的な見方も含めた一層踏み込んだ実証分析が必要である。

第3に、仮に、ロジック・ベースのファウンドリの生産工程が、メモリのそれに比べるとモジュラー型に近かったとしても、インテグレーションの巧拙は依然ファウンドリ競争間での業績格差（特に品質の安定性の違い）に影響していることが示唆された。同様に、大手台湾ファウンドリの中でも、TSMCとUMCを比較すると、後者はIDMから専業ファウンドリに業態転換したことや顧客との合弁で建設していた工場を後に統合したという発展経緯から、社内工場間におけるcopy exactlyの実施という意味では、インテグレーションの作業が複雑化しTSMCほどは徹底できていないことも指摘された。このように同じファウンドリ企業間でもインテグレーションの実施状況は異なっており、こうした違いが生じる原因とその業績への影響も今後の研究課題である。

第4に、大手台湾ファウンドリでは、研究開発を大部分量産ラインを借りて実施し、開発部門と量産部門の連携も密接であることから、工程フローの開発と量産化支援というインテグレーションの重要な任務を遂行する上で有利な工夫がなされていると解釈される。仮に、ファウンドリの生産工程がモジュラー型に近かったとしても、こうした工夫の必要性は依然あり、この点で日本企業よりも先んじていたらしいことも判明した。

第5に、工程アーキテクチャの判定に際して、工程開発過程と生産過程の何れに主に注目すべきか（あるいはそれ以外の多様な側面も考慮すべきか）については議論がある（藤本, 2009, pp.100-102）。仮に、生産過程の観察がその判定の1つの目安になるとしよう。本稿2.6節でみたように、台湾ファウンドリ（UMC）では、かつて現場オペレータの高度なスキルと問題解決能力が重要な強みと認識されていたが、その後、オペレータの権限と責務を制限する方向にシフトしている。これは生産工程の調整がより複雑化したことを反映したものであり、即ち、工程アーキテクチャがよりインテグラル化した可能性を示唆するようにも思われる。微細化の極限までの推進、それに伴う様々な新技術・新材料の導入、SoCや3D化など半導体製品自体の複雑さの増大、顧客の品質・性能（小型化、低消費電力化、高速化など）への要求水準の高まり、こうしたことが半導体生産工程のアーキテクチャにいかなる影響を与えているか、この点に関しても、今後、実証分析を積み重ねていかねばならない。

## 参考文献

### <日本語>

朝元照雄（2014）『台湾の企業戦略－経済発展の担い手と多国籍企業化への道－』勁草書房。

石原宏（2005）「TSMCテクノロジー・プラットフォームについて」『赤門マネジメント・レビュー』



- 4 卷 1 号 (2005 年 1 月), pp.45-50.
- 伊藤宗彦 (2004) 「水平分業化とアライアンス戦略の分析ーファウンドリービジネスにおける製造価値創造ー」 神戸大学経済経営研究所ワーキングペーパー.
- 稲葉雅巳 (2015) 「EUV リソ, 量産適用へ一歩前進」『電子デバイス産業新聞』(2015 年 1 月 9 日)  
<http://www.sangyo-times.jp/article.aspx?ID=1322>
- 大石基之 (2001) 「国内半導体メーカーが見守る SiS 対 UMC 紛争の行方ーファウンドリと顧客間のノウハウが争点ー」『日経エレクトロニクス』(2001 年 3 月 26 日号), pp.45-46.
- 大石基之 (2010) 「CMOS センサの製造もファウンドリーが制すか」『日経テクノロジーonline』(2010 年 7 月 8 日) <http://techon.nikkeibp.co.jp/article/TOPCOL/20100708/184068/>
- 大石基之, 木村雅秀, 河合基伸 (2012) 「すべての機器に TSVー縦積みチップで価値を生むー」『日経テクノロジーonline』(2012 年 4 月 13 日)  
<http://techon.nikkeibp.co.jp/article/HONSHI/20120412/212549/>
- 大木淳一 (2008) 「デバイスの付加価値を高める半導体部材技術総覧 連載 (3) フォトマスク技術 微細化を支えるフォトマスク 液浸に続く次世代リソに対応へ」『日経マイクロデバイス』(2008 年 6 月号) pp.67-72.
- 大原雄介 (2014a) 「半導体プロセスまるわかり インテルから学ぶプロセスの歴史」『ASCII.jp』(2014 年 1 月 13 日) <http://ascii.jp/elem/000/000/857/857329/>
- 大原雄介 (2014b) 「半導体プロセスまるわかり 新技術導入で浮上した銅汚染問題」『ASCII.jp』(2014 年 2 月 23 日) <http://ascii.jp/elem/000/000/869/869431/index-3.html>
- 大原雄介 (2014c) 「半導体プロセスまるわかり 3 次元トライゲートこと FinFET の誕生」『ASCII.jp』(2014 年 4 月 14 日) <http://ascii.jp/elem/000/000/884/884429/>
- 大原雄介 (2014d) 「半導体プロセスまるわかり カーボンナノチューブと 450mm ウェハー」『ASCII.jp』(2014 年 6 月 16 日) <http://ascii.jp/elem/000/000/904/904530/index-3.html>
- 小川紘一 (2014) 『オープン&クローズ戦略ー日本企業再興の条件ー』 翔泳社.
- 温清章 (2006) 「UMC のシステム LSI 戦略」『赤門マネジメント・レビュー』5 巻 2 号 (2006 年 2 月), pp.67-76.
- 岸本千佳司 (2015) 「台湾半導体産業におけるファウンドリ・ビジネスの発展ー発展経緯, 成功要因, TSMC と UMC の比較ー」 AGI Working Paper Vol. 2015-8 (北九州市: アジア成長研究所)
- 木村雅秀 (2005) 「『液浸で歩留まりは改善できる』 TSMC と IBM が試作チップで実証」『日経マイクロデバイス』(2006 年 6 月号), pp.71-77.
- 木村雅秀 (2006) 「水平分業でも DFM はできる TSMC が EDA 関連企業と連携ー65nm 以降での歩留まり改善狙うー」『日経マイクロデバイス』(2006 年 6 月号), p.86.
- 木村雅秀 (2010) 「TSMC の技術フォーラムで思ったこと」『日経テクノロジーonline』(2010 年 3 月 1 日) <http://techon.nikkeibp.co.jp/article/TOPCOL/20100301/180680/?rt=nocnt>
- 木村雅秀 (2012) 「TSMC が 2.5 次元 LSI で攻勢 ターンキー・サービスを狙うーOSAT との綱引きが激化へー」『日経エレクトロニクス』(2012 年 5 月 14 日号), pp.16-17.

- 木村雅秀 (2013) 「TSMC のリソグラフィ技術ロードマップ, 開発責任者に聞く」『日経テクノロジーonline』(2013年7月1日) <http://techon.nikkeibp.co.jp/article/NEWS/20130628/290463/?rt=ocnt>
- 木村雅秀 (2014) 「3次元IC」『日経テクノロジーonline』(2014年1月24日)  
<http://techon.nikkeibp.co.jp/article/COLUMN/20140123/329520/?ST=print>
- 木村雅秀, 小島郁太郎 (2006) 「45nm 量産開始は2007年第3四半期 台湾 TSMC が技術ロードマップを発表—設計技術は『65nm の延長線上で大丈夫』—」『日経マイクロデバイス』(2006年11月号), pp.92-94.
- Clarke, Peter (2012) 「TSMC, MEMS ファウンドリランキングで世界1位に」『EE Times Japan』(2012年7月26日) <http://eetimes.jp/ee/articles/1207/26/news047.html>
- 呉團焜 (2005) 「半導体ファウンドリー・メーカーの競争優位—台湾における TSMC と UMC の事例から—」『日本経営学会誌』第13号, pp.60-73.
- 交流協会 (2015) 「台湾企業の技術動向調査 (鴻海精密工業, 台湾積体回路製造, 工業技術研究院編)」公益財団法人交流協会 (特許庁委託) .
- 後藤弘茂 (2001a) 「後藤弘茂の Weekly 海外ニュース TSMC インタビュー前編—業界の最先端を切って 0.1 $\mu$ m プロセスを開発—」『PC Watch』(2001年11月7日)  
<http://pc.watch.impress.co.jp/docs/article/20011107/kaigai01.htm>
- 後藤弘茂 (2001b) 「後藤弘茂の Weekly 海外ニュース TSMC インタビュー後編—大容量の組み込みメモリとして 1T-SRAM も提供—」『PC Watch』(2001年11月8日)  
<http://pc.watch.impress.co.jp/docs/article/20011108/kaigai01.htm>
- 後藤弘茂 (2014) 「後藤弘茂の Weekly 海外ニュース Intel と TSMC/Samsung が 3D トランジスタで激突」『PC Watch』(2014年9月3日)  
[http://pc.watch.impress.co.jp/docs/column/kaigai/20140903\\_664921.html](http://pc.watch.impress.co.jp/docs/column/kaigai/20140903_664921.html)
- 坂本幸雄 (2013) 『不本意な敗戦—エルピーダの戦い—』日本経済新聞出版社.
- 桜井至 (2013) 『Verilog-AMS 入門』CQ 出版社.
- 薩川格広 (2012) 「ルネサスがマイコンの製造を TSMC に委託, 人員削減や工場売却は語らず」『EE Times Japan』(2012年5月28日) <http://eetimes.jp/ee/articles/1205/28/news094.html>
- JEITA (2012) 『IC ガイドブック 1 よくわかる! 半導体 (2012年版)』一般社団法人電子情報技術産業協会 (JEITA) IC ガイドブック編集委員会.
- 鈴木良始, 湯之上隆 (2008) 「半導体製造プロセス開発と工程アーキテクチャ論—装置を購入すれば半導体は製造できるか—」『同志社商学』第60巻第3・4号, pp.54-154.
- Sun, Jack (2009) 「不況時こそ研究開発に投資 好況期にライバルを引き離す」『日経エレクトロニクス』(2009年8月24日号), pp.115-117.
- 荘苑仙 (2010) 「ファウンドリー生産におけるビジネスモデルの解明」『東アジア研究 (大阪経済法科大学アジア研究所)』第54号, pp.1-17.
- 立本博文, 藤本隆宏, 富田純一 (2009) 「プロセス産業としての半導体前工程—アーキテクチャ変動のダイナミクス—」藤本隆宏, 桑嶋健一編『日本型プロセス産業—ものづくり経営学によ

- る競争力分析ー』(pp.206-251) 有斐閣.
- 田中直樹 (2014) 「成長続くディスプレイ用ドライバーIC 市場, 2018 年には 73 億米ドルに」『日経テクノロジーonline』(2014 年 10 月 27 日)  
<http://techon.nikkeibp.co.jp/article/NEWS/20141027/385021/?rt=nocnt>
- 田村博和 (2013) 「半導体産業の構造変化と企業間関係の考察ーTSMC の事例研究を中心にー」  
*Journal of the Graduate School of Asia-Pacific Studies*, No.25 (2013.3), pp.49-71.
- Chiang, Shang-Yi (2005) 「TSMC 最優先するのは顧客のスケジュール」『日経マイクロデバイス』  
 (2005 年 10 月号), pp.42-43.
- Chang, Andley (2001) 「TSMC のシステム LSI 戦略 (3) 共同設計作業ツールを実用化 インター  
 ート利用で設計時間を短縮」『日経マイクロデバイス』(2001 年 12 月号), pp.231-234.
- チャン, モリス (TSMC 会長) (2002) 「2 つの新産業を創った」『日経ビジネス』(2002 年 12 月  
 16 日号), pp.96-99.
- 中馬宏之 (2002) 「UMC ジャパンの強さを分析 半導体版『トヨタ生産方式』を実践か?」『日  
 経マイクロデバイス』(2002 年 12 月号), pp.64-71.
- 中馬宏之 (2010) 「増大する複雑性と苦悶するサイエンス型産業ー半導体産業ー」青島矢一, 武  
 石彰, マイケル・A・クスマノ編著『メイド・イン・ジャパンは終わるのか』(pp.176-227) 東  
 洋経済新報社.
- Tseng, F. C. (2000) 「TSMC インターネットに照準 生産能力を 1.5 倍に拡大」『日経マイクロ  
 デバイス』(2000 年 1 月号), p.59.
- 傳田精一 (2011) 『半導体の 3 次元実装技術ーSoC を超える高機能を短期間で実現するー』CQ 出  
 版.
- 中島募 (2007) 「エルピーダメモリ 日台連合で世界一奪取へ」『日経ビジネス』(2007 年 3 月 5  
 日号), pp.54-57.
- 中島宏文 (2015) 「TSMC, 2.5 次元 IC 量産立ち上げの苦労を明かす」『日経テクノロジーonline』  
 (2015 年 6 月 1 日) <http://techon.nikkeibp.co.jp/article/EVENT/20150601/421043/>
- 西村吉雄 (2014) 『電子情報通信と産業』コロナ社.
- Patterson, Alan (2014) 「28nm プロセス市場, TSMC がほぼ独占も UMC がシェアをわずかに拡  
 大」『EE Times Japan』(2014 年 11 月 4 日), <http://eetimes.jp/ee/articles/1411/04/news060.html>
- Patterson, Alan (2015a) 「TSMC, 10nm プロセスではインテルとの技術差なくなる」『EE Times  
 Japan』(2015 年 2 月 26 日) <http://eetimes.jp/ee/articles/1502/26/news086.html>
- Patterson, Alan (2015b) 「TSMC, 16nm プロセスへの移行を加速ー設備投資額は 10 億ドル削減」  
 『EE Times Japan』(2015 年 4 月 20 日) <http://eetimes.jp/ee/articles/1504/20/news060.html>
- 半導体技術ロードマップ専門委員会 (2008) 『平成 20 年度報告 第 8 章 WG7 実装』  
<http://semicon.jeita.or.jp/STRJ/report/2008/08.pdf>
- 筆者不詳 (2010) 「パッケージ組み立て 顧客の多様化で技術重視へ モジュール技術も手中に」  
 『日経エレクトロニクス』(2010 年 6 月 14 日号), pp.52-57.

- 藤本隆宏 (2003) 『能力構築競争ー日本の自動車産業はなぜ強いのかー』 中公新書.
- 藤本隆宏 (2009) 「付録 工程アーキテクチャ論への批判に答えて」 藤本隆宏, 桑嶋健一編 『日本型プロセス産業ーものづくり経営学による競争力分析ー』 (pp.96-105) 有斐閣.
- 朴尚洙 (2011) 「『20nm プロセスはダブルパターニングがコスト増要因に』, TSMC の CTO が明かす」 『EE Times Japan』 (2011 年 11 月 29 日) <http://eetimes.jp/ee/articles/1111/29/news021.html>
- 堀内伸郎 (2011) 「プロセスの微細化で何が変わるのか!? 28nm FPGA が与えるインパクト」 『MONOist』 (2011 年 7 月 29 日) <http://monoist.atmarkit.co.jp/mn/articles/1107/29/news003.html>
- 前川慎光 (2009) 「既存の量産製造プロセスでそのまま使える, 比誘電率が 2.0 と低い層間絶縁膜材料」 『EE Times Japan』 (2009 年 12 月 18 日) <http://eetimes.jp/ee/articles/0912/18/news102.html>
- 前田和夫 (1999) 『はじめての半導体製造装置』 工業調査会.
- McGrath, Dylan (2011) 「『半導体微細化, 技術的には 7nm も可能』, TSMC の開発責任者が ARM イベントで言及」 『EE Times Japan』 (2011 年 10 月 31 日) <http://eetimes.jp/ee/articles/1110/31/news073.html>
- McGrath, Dylan (2012) 「TSMC の 20nm プロセスは 1 種類, 微細すぎて製品間の差をつけられず」 『EE Times Japan』 (2012 年 4 月 23 日) <http://eetimes.jp/ee/articles/1204/23/news044.html>
- 三宅常之 (2008) 「TSMC が MEMS ファウンドリを事業化 設計・製造の標準化が加速」 『日経マイクロデバイス』 (2008 年 7 月号), pp.48-53.
- 望月洋介 (1998) 「果敢な設備投資に出る台湾勢 速くて柔軟な事業転換へ」 『日経マイクロデバイス』 (1998 年 1 月号), pp.60-65.
- 湯之上隆 (2009) 『イノベーションのジレンマ 日本「半導体」敗戦』 光文社.
- Rako, Paul (2009) 「SiGe が切り開く半導体の未来」 『EDN Japan』 (2009 年 7 月 1 日) <http://ednjapan.com/edn/articles/0907/01/news122.html>
- LaPedus, Mark (2011) 「TSMC が 450mm ウェハ対応を加速, なぜ移行するのか」 『EE Times Japan』 (2011 年 4 月 12 日) <http://eetimes.jp/ee/articles/1104/12/news093.html>
- Lipsky, Jessica (2015) 「TSMC, 2015 年半ばに 16nm FinFET の量産開始へ」 『EE Times Japan』 (2015 年 4 月 10 日) <http://eetimes.jp/ee/articles/1504/10/news034.html>

## <中国語>

- ITRI-IEK (2014) 『半導体産業年鑑』 新竹: 工業技術研究院・産業經濟與趨勢研究中心.
- TSMC (各年版 a) 『公司年報 (Annual Report)』 [http://www.tsmc.com/chinese/investorRelations/annual\\_reports.htm](http://www.tsmc.com/chinese/investorRelations/annual_reports.htm)
- TSMC (各年版 b) 『營運報告 (Business Overview)』 [http://www.tsmc.com/chinese/investorRelations/annual\\_reports.htm](http://www.tsmc.com/chinese/investorRelations/annual_reports.htm)
- UMC (各年版) 『公司年報 (Annual Report)』 [http://www.umc.com/chinese/investors/Reports/2010-present\\_report.asp](http://www.umc.com/chinese/investors/Reports/2010-present_report.asp)
- 伍忠賢 (2006) 『透視台積電ー打造全球第一晶圓帝國ー』 台北: 五南圖書出版.

## <ホームページ>

TSMC <http://www.tsmc.com/>

UMC <http://www.umc.com/>

(筆者は、2015年5月～7月にかけて閲覧した)

## <インタビュー記録 (interview record : ir) >

iek-ir-1 : 台湾の工業技術研究院・産業経済與趨勢研究中心 (ITRI-IEK) での半導体産業アナリストとの面談。2014年8月28日実施。

japan-ir-1 : 日本半導体業界 OB との面談。2014年5月14日実施。

japan-ir-2 : 日本半導体業界 OB との面談。2014年6月2日実施。

japan-ir-3 : 日本半導体業界 OB との面談。2014年11月12日実施。

japan-ir-4 : 日本半導体業界 OB 2名, 業界ジャーナリスト 2名との面談。2015年2月5日実施。

tsmc-ir-1 : TSMC 本社での広報部門マネジャーとの面談。2012年7月26日実施。

tsmc-ir-2 : TSMC 本社での広報部門マネジャーとの面談。2013年12月4日実施。

tsmc-ir-3 : TSMC 本社・FAB12A での工場管理部門幹部等との面談。2015年1月22日実施。

umc-ir-1 : UMC 本社での副総経理等との面談。2007年7月25日実施。

umc-ir-2 : UMC 本社でのマーケティング, 人材資源, および工場管理部門幹部との面談。2012年7月26日実施。

umc-ir-3 : UMC 本社での工場 (FAB8) 管理部門幹部, およびマーケティング, 人材資源部門幹部との面談。2015年1月23日実施。

(インタビュー相手の希望により, 氏名と所属・肩書の詳細は非公開)

付表1 TSMCのプロセス関連技術開発の主な成果 (2005~2014年)

年	先端 CMOS ロジック・プロセス	特殊プロセス
2005	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>・Cu/low-k 配線の CMOS logic プロセス，12 インチウエハ 90nm での生産増大。</li> <li>・65nm の開発完了，プロトタイプ生産開始。</li> <li>・45nm と 32nm 世代も開発開始。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>・既存の 193nm 液浸露光技術で最先端の 65nm プロセスの量産可能性を検証成功。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>・製造容易性設計 (DFM) 向けの迅速な lithography process check (LPC) 技術確立。</li> <li>・高品質・高コスト効率の 65nm マスク技術，X-metal mask，45nm 世代のマスク技術の開発成功。</li> </ul>	<p>■Mixed Signal/Radio Frequency (MS/RF)：90/65nm プロセスの要素開発。</p> <p>■Silicon Germanium (SiGe) BiCMOS：0.18<math>\mu</math>m SiGe BiCMOS 技術の開発・量産。</p> <p>■CMOS Image Sensor (IS)：0.18<math>\mu</math>m 3T CMOS IS プロセス量産成功に続き，0.13<math>\mu</math>m 4T プロセスの検証通過。</p> <p>■Embedded High Density Memory：携帯用機器向け system-on-a-chip (SoC) 用の高密度組込みメモリの開発推進。</p> <p>■Flash/Embedded Flash (eFlash)：車載用組込みフラッシュメモリ技術の開発。無線通信用 0.13<math>\mu</math>m 組込みフラッシュ技術で顧客と協力。90nm 組込みフラッシュ技術は開発中。</p>
2006	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>・65nm 量産開始。</li> <li>・45nm 技術開発推進。45nm low-power 技術検証用 CyberShuttle サービス提供。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>・液浸露光の独自技術により量産基準を満たした欠陥密度ほぼ零の 12 インチウエハ試作に成功。</li> <li>・量産時のスループット向上に向け装置メーカーと協力中。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>・DFM 向けの LPC 技術の普及促進。</li> <li>・高品質・高コスト効率の 55nm マスク技術，X-metal mask，45nm 世代のマスク技術の開発成功。</li> </ul>	<p>■MS/RF：90/65nm プロセス技術開発・検証済。</p> <p>■SiGe BiCMOS：high-voltage 版 0.18<math>\mu</math>m 技術開発。</p> <p>■CMOS IS：0.13<math>\mu</math>m 4T CMOS IS 量産成功に続き，0.11<math>\mu</math>m 4T プロセスを開発。</p> <p>■Flash/eFlash：車載用 0.18<math>\mu</math>m 技術で優れた intrinsic reliability を示す。</p>
2007	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>・45nm low-power 技術の量産開始。40nm の開発も進む。</li> <li>・32nm 技術で一定の成果。</li> </ul> <p>■リソグラフィ</p> <ul style="list-style-type: none"> <li>・45nm 世代量産の液浸露光技術の開発。自社開発の技術とレジスト材料により欠陥密度ほぼ零を達成，量産基準を満たす。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>・低コスト・高精度の光近接効果補正 (OPC) により，45/32nm に要求される精度を保ちながらサイクルタイムを大幅短縮。LPC 技術や DFM は 45nm へ適用。</li> <li>・45nm 用電子ビームマスク描画装置等導入。</li> </ul>	<p>■Embedded DRAM (eDRAM)：high-speed 及び low-power 応用向けの 65nm 技術を検証済。</p> <p>■MS/RF：65nm low-power 製品の検証と量産成功。顧客の大手携帯メーカーをサポート。45nm 技術も先進的顧客と共同開発。</p> <p>■SiGe BiCMOS：歩留まりを MS/RF CMOS と同レベルへ向上。through silicon via (TSV) 技術と合わせ，パワーアンプの高機能・高コスト効率化に資す。</p> <p>■CMOS IS：0.11<math>\mu</math>m 4T CMOS IS プロセス (Al Cu backend) の開発・検証済。</p> <p>■Flash/eFlash：0.18<math>\mu</math>m の車載用 eFlash プロセスの検証完了。0.13<math>\mu</math>m eFlash 技術の検証完了。</p>
2008	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>・40nm high-performance と low-power 技術の量産開始。40/45nm 開発では主要顧客との協力強化。</li> <li>・32/28nm で high-k/metal gate 技術を開発。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>・45/40/28nm 向け液浸露光の量産技術で業界リード。40/28nm 量産に対応しマスク重ね合わせ精度も向上。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>・TSMC は独自の解像度向上技術の開発を推進してきた (OPC, sub-resolution assist, 位相シフトマスク等)。</li> <li>・LPC, DFM も 45/40nm へ適用。</li> <li>・45/40nm 用電子ビームマスク描画装置等導入。</li> <li>・22nm 向け computational lithography (CL) 技術の開発</li> </ul>	<p>■eDRAM：65nm eDRAM (high-speed, low-power 版) 量産開始。45nm low-power 試作成功，40nm 汎用 eDRAM の開発推進。</p> <p>■MS/RF：45nm low-power RF 技術の検証済。40nm low-power RF プロセスデザインキット提供。</p> <p>■SiGe BiCMOS RF：熱ストレス対策として高抵抗 silicon-on-insulator substrate を 0.18<math>\mu</math>m CMOS と SiGe BiCMOS のプロセスフローに導入成功。</p> <p>■CMOS IS：0.11<math>\mu</math>m 4T CMOS IS プロセス (back side illumination：BSI 採用) の開発成功 (ハイエンド・イメージング機器向け)。</p> <p>■Flash/eFlash：0.18<math>\mu</math>m の車載用 eFlash プロセスの検証完了，量産開始。</p>

	進行。	<ul style="list-style-type: none"> <li>■Power IC/Bipolar-CMOS-DMOS (BCD) : 既に多様なパワーIC プラットフォームを量産導入 (0.35μm 3.3/5/12 ~40V BCD &amp; 0.25μm 2.5/5/12 ~40+ 60V BCD)。</li> <li>■Panel Driver : 小型パネル・ドライバIC用のC013 32V 技術を開発。また大型パネル・ドライバIC用に3種の高性能・高コスト効率の技術を開発。</li> </ul>
--	-----	--

年	先端 CMOS ロジック・プロセス	特殊プロセス	配線/パッケージ
2009	<ul style="list-style-type: none"> <li>■先端ロジック・プロセス : <ul style="list-style-type: none"> <li>・28nm プロセス (従来技術と high-k/metal gate) の開発推進。</li> <li>・20nm プロセスは pathfinding ステージ。</li> </ul> </li> <li>■リソグラフィ : <ul style="list-style-type: none"> <li>・20nm optimal design gate density 達成, 193nm 液浸露光技術を 20nm (あるいは 15nm) へ適用可能に (その後は, 次世代露光技術が必要に)。</li> <li>・次世代技術開発として, multiple e-beam maskless pre-Alpha tool を導入。</li> </ul> </li> <li>■フォトマスク : <ul style="list-style-type: none"> <li>・OPC, スキャナ・パラメータ最適化, マスク技術の統合で 193nm 液浸露光のトータルソリューション提供。</li> <li>・先端的電子ビームマスク描画装置等設置→28nm 製造・20nm 研究開発用。</li> <li>・20nm 超世代向けマスク技術開発開始→193nm 液浸露光の double patterning と extreme ultraviolet lithography (EUV) 露光。</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>■eDRAM : ゲーム&amp;携帯機器用 40nm low-power eDRAM 開発成功。</li> <li>■MS/RF : 前年記述とほぼ同じ。</li> <li>■SiGe BiCMOS RF : 低密度で追加コストなしの metal-oxide-metal (MOM) capacitor の開発 (10V 超応用)。</li> <li>■CMOS IS : 半導体業界初の 1.4μm pixel (BSI 採用) 製造実現。</li> <li>■Flash/eFlash : MCU 用の low power, ultra low leakage 0.18μm Flash の検証完了。加えて複数の IDM と 90/65nm の車載用, 消費財用 eFlash の共同開発へ。</li> <li>■Power IC/BCD : 前年記述とほぼ同じ。</li> <li>■Panel Driver : 前年記述とほぼ同じ。</li> </ul>	<p>Integrated Interconnect and Package Development Division (IIPD)を2008 年末に設立。本年主要課題は, 45/40nm 先進顧客製品のスムーズな増産に向けた課題解決。</p> <ul style="list-style-type: none"> <li>■配線 : resistance/capacitance (RC) 遅延最小化の配線技術開発。</li> <li>■Package : RoHS に対応し, 鉛フリー技術へ徐々に移行。</li> </ul>
2010	<ul style="list-style-type: none"> <li>■先端ロジック・プロセス : <ul style="list-style-type: none"> <li>・28nm プロセス開発推進。low-power 版は検証完了, 業界初 28nm のリスク生産可能へ。25 以上の顧客に 10 回以上の 28nm CyberShuttle サービス提供 (テストチップ, IP 検証)。</li> <li>・20nm プロセスは引き続き pathfinding。</li> </ul> </li> <li>■リソグラフィ : <ul style="list-style-type: none"> <li>・28nm で液浸起因の欠陥がほぼ零を達成。</li> <li>・次世代露光技術開発のため, multiple e-beam maskless pre-Alpha tool による 20nm パターン描画をテスト。同様に ASML から EUV 露光装置を取得すると発表。</li> </ul> </li> <li>■フォトマスク : <ul style="list-style-type: none"> <li>・20nm 超世代向けマスク技術開発継続, および EUV マスク製造のインフラ造りに積極的に取り組む。</li> <li>・20nm ノード試作用マスク開発, 製造へ。</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>■eDRAM : 40nm low-power eDRAM 初期量産。</li> <li>■MS/RF : 28nm 電磁界シミュレーション・ベースの LC タンク回路設計パッケージ開発。</li> <li>■SiGe BiCMOS RF : 0.18μm SiGe-BiCMOS 技術向上, 世界第 1 級水準へ。</li> <li>■CMOS IS : 裏面照射型 (BSI) センサー・プロセス技術を拡充。</li> <li>■Flash/eFlash : MCU 用の low-power, ultra low leakage 0.18μm Flash リリース。加えて, 幾つかの IDM と車載用, 産業用, 消費財用 eFlash 共同開発推進, 90/65/55nm プロセス使用。</li> <li>■Power IC/BCD : 0.25μm BCD パワーIC用の再書き込み可能型不揮発メモリ発表。</li> <li>■Panel Driver : スマートフォン高解像度画面向け, および 3D TV 大型画面向け技術の開発。</li> <li>■Micro Electro Mechanical Systems (MEMS) : ジャイロ스코ープ, DNA シークエンサー, モーションセンサーで成果。</li> </ul>	<ul style="list-style-type: none"> <li>■配線 : RC 遅延最小化技術の推進。28nm 超向け極小抵抗率の銅配線の開発。</li> <li>■Package : 鉛フリー技術, ハンドヘルド/モバイル機器向け fan-in wafer level package (WLP) 開発。</li> <li>■3D IC : TSV や WLP によるコスト効率の良い 3D IC 開発に顧客と共同で取組んで来た。また, その現実的な代案として 3D system-in-a-package (SiP) 提供。</li> </ul>

2011	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>28nm 量産開始。High Performance (HP), High Performance Low Power (HPL), Low Power (LP), High Performance Mobile Computing (HPM)の4プロセス提供。</li> <li>20nm 技術開発推進 (プロセスベースライン, デザインルール, SPICE モデル, 信頼性評価)。</li> <li>14nm 開発開始。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>28nm 世代露光技術は Fab 12 (GIGAFAB) へ移転済み。</li> <li>20nm 世代では double patterning 技術導入。</li> <li>液浸露光使用の 14nm 世代技術開発開始。</li> <li>ASML より EUV スキャナー調達 (14nm 超の露光技術開発用)。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>最新研究開発用マスク設備, Fab 12 で稼働開始 (電子ビームマスク描画装置等)。EUV マスクを含め 20nm 超の研究開発用マスクも提供。</li> </ul>	<p>■MS/RF：20nm 電磁界シミュレーション・ベースの LC タンク回路設計パッケージ開発。</p> <p>■Flash/eFlash：65/55nm の eFlash 技術で幾つか重要な成果 (split gate cell, hybrid cell)。これを主要 IDM との共同で次世代 40nm の eFlash へ拡充していく。</p> <p>■Power IC/BCD：0.25<math>\mu</math>m BCD プロセス強化で bipolar junction transistor 改良版の提供。</p> <p>■Panel Driver：高級機種スマートフォン向け N80HV 技術リリース。TV ディスプレイ向けで、コスト 40%低減の技術開発中。</p> <p>■MEMS：加速度計向けモノリシック技術のリリース。</p>	<p>28nm 先進顧客製品のスムーズな増産のボトルネック除去が主な課題。</p> <p>■配線：RC 遅延最小化が焦点。20nm 超向け。</p> <p>■Package：ultra-fine pitch array 銅バンプ (鉛フリー) 使用の 28nm bump-on-trace (BOT) パッケージ技術の開発・検証完了。</p> <p>■3D IC：高コスト効率の chip-on-wafer-on-substrate (CoWoS) と fan-out WLP を開発。</p>
2012	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>28nm プロセスに High Performance Plus (HPP) と High Performance Triple-Gate (HPT)を追加。各々, HP, HPM より 10%動作速度が速い。</li> <li>20nm では、10 以上の顧客に 2 回の CyberShuttle サービス提供 (IP 検証)。</li> <li>16nm で技術定義完成, 技術開発開始。第 3 世代 high-k/metal gate, 第 5 世代歪技術, 193nm 露光に加え, FinFET transistor, 先進 3D デバイス構造を導入。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>20nm 露光技術の堅実な進展。</li> <li>16nm 露光は、48nm pitch FinFET 実現のため新奇なパターニング技術を導入。</li> <li>液浸スキャナーについて 10nm の pathfinding 開始。</li> <li>EUV 露光と multiple e-beam direct-write は 7nm 向け。装置メーカー (ASML, KLA-Tencor) と技術協力。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>20nm の double patterning 用マスク技術開発を完了。16nm, 10nm 向け技術開発用の最新マスク製造ツールを導入。</li> </ul>	<p>■MS/RF：次世代 RF トランシーバ (4G LTE) 向けの 28nm 世代酸化窒化物とポリシリコン・ベースの RF CMOS 技術の開発。</p> <p>■Flash/eFlash：65/55nm の eFlash 技術で幾つか重要な成果 (車載用 65nm split-gate cell の検証と量産など)。40nm 世代で、主要 IDM と共同で、車載用・消費財用の nitride film storage flash cell および NOR type cell 開発中。</p> <p>■Power IC/BCD：本年、高電圧・パワー技術製品を合計ウェハ 100 万枚以上出荷。第 2 世代 0.18<math>\mu</math>m BCD 技術をリリース。</p> <p>■Panel Driver：スマートフォン・ディスプレイ用ドライバ向け 80nm 高電圧プロセスの量産導入。</p> <p>■MEMS：加速度計向けモジュラー MEMS 技術をリリース。</p>	<p>包括的なバックエンド・サービスの開発・提供ー先進的 BEOL, fine pitch silicon interposer (TSV, chip stacking), 先進的 WLCSF, ultra fine pitch large die lead-free flip chip packaging。</p> <p>■配線：RC 遅延最小化。20nm 世代の銅線の抵抗率で ITRS 予測に先んじる。</p> <p>■Package：鉛フリーパッケージ技術を 20nm 世代に拡大。</p> <p>■3DIC：CoWoS プロセスとパッケージの検証完了, 量産移行。</p>
2013	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>28nm で世界初 high-k/metal gate triple gate oxide technology 発表, 生産検証完了。</li> <li>20nm で量産検証通過。</li> <li>16nm で生産検証完了。</li> <li>10nm は研究開発開始。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>16nm 露光技術, リスク生産段階へ。</li> <li>液浸露光は 10nm へも適用可。しかし 20/16nm 用の double patterning は 10nm には不十分。multiple patterning が必要。</li> <li>NXE3300EUV 露光機 1 台設置。EUV 光源の出</li> </ul>	<p>■MS/RF：次世代 RF トランシーバ (4G LTE) 向け RF CMOS で 28nm 技術の製品検証成功。20nm の高性能アナログ&amp;RF ソリューション開発中。</p> <p>■Flash/eFlash:65/55nm 世代 NOR ベースのセル技術が顧客検証を完了。40nm 世代 split-gate cell 技術が車載用・消費財用製品向けに出荷。28nm (LP, HPM) 向け eFlash 開発進行中。</p> <p>■Power IC/BCD/Panel Drivers：</p>	<p>■配線：低抵抗率の銅線と低静電容量の絶縁体の開発が引き続き焦点。16nm と 10nm 超世代向け対策スキーム作成。</p> <p>■Package：多様な鉛フリー flip chip パッケージ技術提供。20nm BOT パッケージ技術の生産</p>



	<p>力不足が主な関心。</p> <ul style="list-style-type: none"> <li>• KLA-Tencor と reflective e-beam lithography (REBL) 応用で協力。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>• 16nm 用マスク技術の開発完了。</li> <li>• 10nm 用技術開発が堅実に進む。</li> <li>• EUV マスク技術開発も継続。</li> </ul>	<p>0.13<math>\mu</math>m BCD 技術リリース (BCD 技術では初の 12 インチ工場生産)。</p> <p>■MEMS：多様な製品 (ギガピクセルのディスプレイ, ヒトゲノム配列, モーションセンサー, ノイズキャンセル・マイクロフォン) が量産検証通過。</p>	<p>検証 (携帯機器向け)。</p> <p>■3DIC：CoWoS ソリューション量産 (従来の SoC への代案)。</p>
2014	<p>■先端ロジック・プロセス：</p> <ul style="list-style-type: none"> <li>• 20nm で量産開始。</li> <li>• 16nm (FinFET Plus) で信頼性試験パス。FinFET トランジスタに加え, 第 3 世代 high-k/metal gate, 第 5 世代歪技術, 先進 193nm 露光技術を使用。</li> <li>• 10nm の研究開発は, ベースラインプロセス設定, 歩留まり向上, トランジスタ性能改善, 信頼性評価が焦点。</li> <li>• 7nm は研究開発開始。</li> </ul> <p>■リソグラフィ：</p> <ul style="list-style-type: none"> <li>• 10nm が研究開発の焦点。特別な解像度向上技術が必要。</li> <li>• 2 台目の NXE3300EUV 露光機導入。7nm プロセスの要求を満たす性能向上のため ASML と協力してきた。</li> <li>• 7nm 超を睨み multiple e-beam direct-write lithography を検討中。</li> </ul> <p>■フォトマスク：</p> <ul style="list-style-type: none"> <li>• 10nm 用マスク技術の開発で相当の進展。</li> <li>• EUV 露光用のマスク技術でも堅実な進展。</li> </ul>	<p>■MS/RF：将来の IoT 需要に備え 28/40/55nm の超低消費電力 RF 技術開発を開始。</p> <p>■Flash/eFlash：前年記述とほぼ同じ。</p> <p>■Power IC/BCD/Panel Drivers：第 2 世代 0.18<math>\mu</math>m BCD 技術の応用を低コスト・高性能デバイスに拡大。</p> <p>■MEMS：モジュラーMEMS 技術の検証完了, 加速度計とノイズキャンセル・マイクロフォン生産。</p> <p>■GaN (窒化ガリウム)：高電子移動度トランジスタの開発・量産検証。</p>	<p>■配線：低抵抗率銅線・低静電容量絶縁体開発。10/7nm 超向けスキームで成果。</p> <p>■Package：超ファインピッチ銅バンブ BOT 技術の 16nm FinFET が検証完了。UBM-free fan-in WLP 技術検証完了。</p> <p>■3D IC：新 TSV プラットフォームの生産検証完了。CoWoS 技術応用範囲拡大 (FPGA→ネットワーク, 高性能演算)。コストに敏感な製品用に integrated fan out (InFO) を開発。</p>

注 1) 本表は, TSMC の『公司年報 (Annual Report)』の Operational Highlights (營運概況) > Technology Leadership (技術領導地位) のプロセス関連技術に関する記述に基づき作成した (英語版を基本に, 中国語版も適宜参照した)。項目ごとに, その年の主な成果・内容を選び要約した。年と項目によってはかなり詳細な記述があり, 筆者の判断で大幅に省略している。ただし, 筆者は半導体技術の専門家ではないため, その仕方が十分適切でない可能性もある。より精確・詳細な情報は, 直接 TSMC 『公司年報』を参照されたし。

注 2) 2009 年より, 配線/パッケージ, および先進トランジスタ開発に関する項目が付加された。後者については, 本表では省き, 本文中 (3.4 節) で紹介している。

注 3) 表中の主な略語: BCD=Bipolar-CMOS-DMOS/BEOL=back end of line/BIM=binary intensity mask/BOT=bump-on-trace/BSI=back side illumination/CL=computational lithography/CoWoS=chip-on-wafer-on-substrate/DFM=design for manufacturability/EUV=extreme ultraviolet lithography/FinFET=fin-shaped field effect transistor/FPGA=field-programmable gate array/InFO=integrated fan-out/LPC=lithography process check/MOM=metal-oxide-metal/MS/RF=mixed signal/radio frequency/OPC=optical proximity correction/RC=resistance/capacitance/RoHS=restriction on hazardous substances/SiGe=silicon germanium/SiP=system-in-a-package/SoC=system-on-a-chip/TSV=through silicon via/UBM=under-bump metallization/WLCSP=wafer level chip scale package/WLP=wafer level package

出所) 主に, TSMC (各年版 a) に基づき, 筆者作成。